



使用低成本 **FPGA** 巧妙地扩展微处理器的连接

莱迪思半导体公司白皮书

2013 年 3 月

Lattice Semiconductor
5555 Northeast Moore Ct.
Hillsboro, Oregon 97124 USA
Telephone: (503) 268-8000
www.latticesemi.com

微处理器连接的挑战

在现代电子系统设计中，无论是中央处理器、微控制器、还是微处理器，微处理器是一个不可缺少的部件。然而，随着系统变得越来越复杂，拥有更广泛的功能和用户接口时，使用中档微处理器的系统架构师面临着三个关键的挑战，连接该微处理器，或多个微处理器，他们用于系统的其余部分：

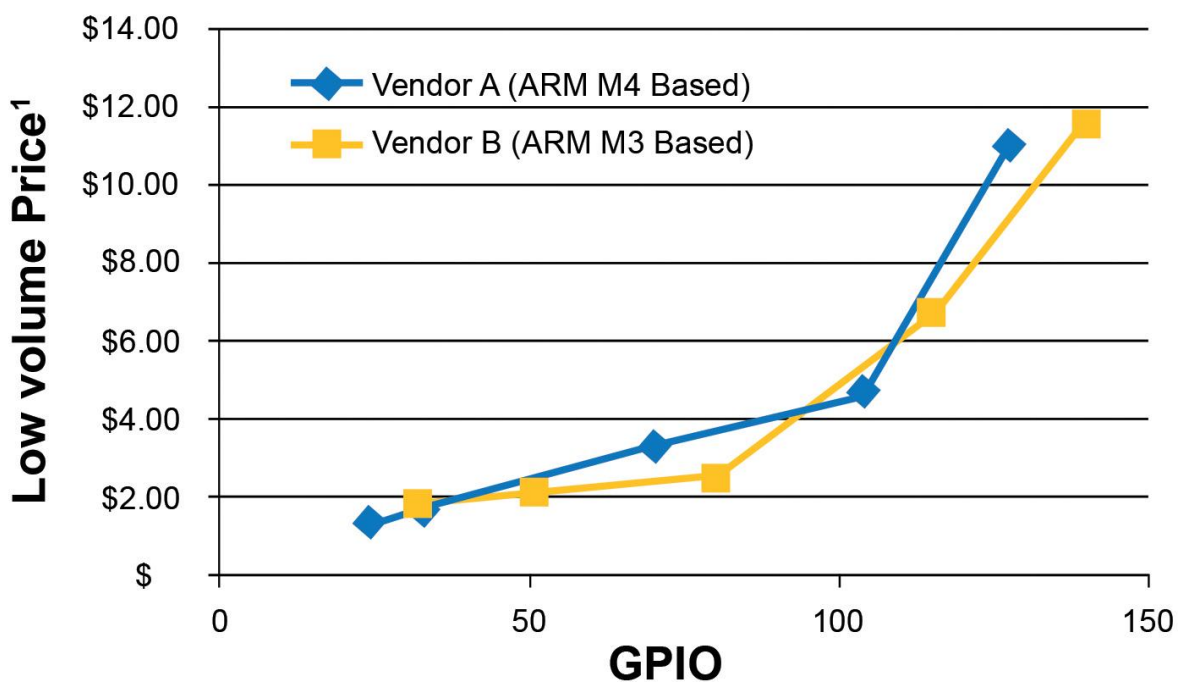
- 实现超过 150 个通用 I/O (GPIO)
- 在 100 至 150 个 GPIO 范围内寻找符合成本效益的解决方案
- 匹配系统所需要的 I/O 外设

采用 FPGA（现场可编程门阵列）可以很容易地应对这些挑战，在过去 10 年里，FPGA 的成本和功耗已经大幅下降，使它们非常适合于各种大批量，低成本的应用，包括移动电子产品。

微处理器连接的回顾

对中档微处理器的回顾揭示了三种常见的连接特性。首先，对于大多数系列最多的 GPIO 数量被限制在 100 和 150 之间。其次，每个 GPIO 的价格不是线性的，通常在 100 个 GPIO 附近每个 GPIO 的成本迅速增加。第三，虽然大多数微处理器提供一些连接外设，如 UART、SPI 和 I2C，外设的数量和可用的组合是有限的。

图 1 展示了源于美国分销商的信息，针对两个通用的中档微处理器，一种是基于 ARM M3 内核，另一种是 ARM M4 内核，图中说明了 GPIO 选择的典型范围和与之相关的小批量的定价。这两个系列都显示出在 100 个 GPIO 附近的价格拐点，以及总的 GPIO 所受的限制。



1. Based on US distributors web pricing, March 2013

图 1 - 中档微处理器 IO 的选择

FPGA 技术的回顾

在过去的 20 年中，FPGA 技术提供了能够快速实现连接扩展的方法。然而，这些器件的成本和功耗限制了这种方法的应用。然而，FPGA 的功耗和成本的降低充分地证明了摩尔定律。在 1995 年，相当于现在的 256 个查找表（LUT）FPGA 的成本超过 50 美元。而现在有此功能的最新器件的成本仅为 0.50 美元。功耗的改进同样可观。对于示例的器件，在 1995 年典型的静态功耗为 0.5W。已降至如今的 50 μ W。这些趋势如图 2 所示。

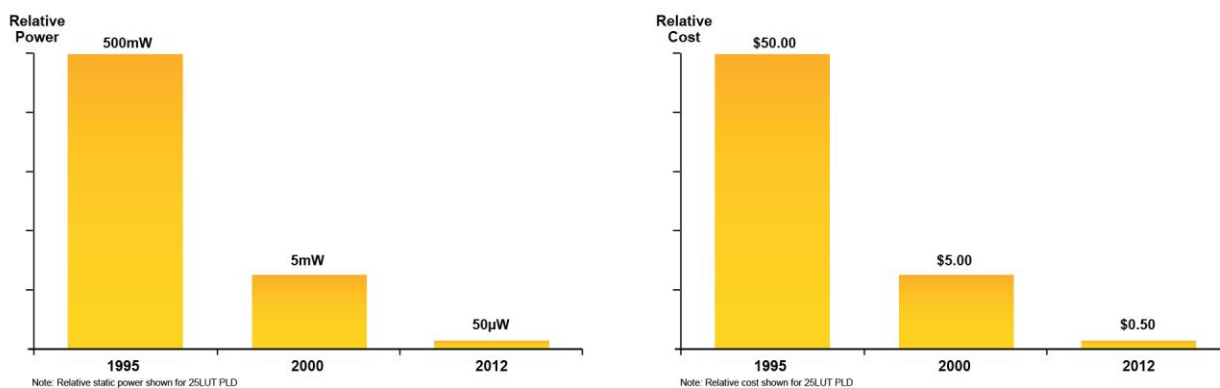
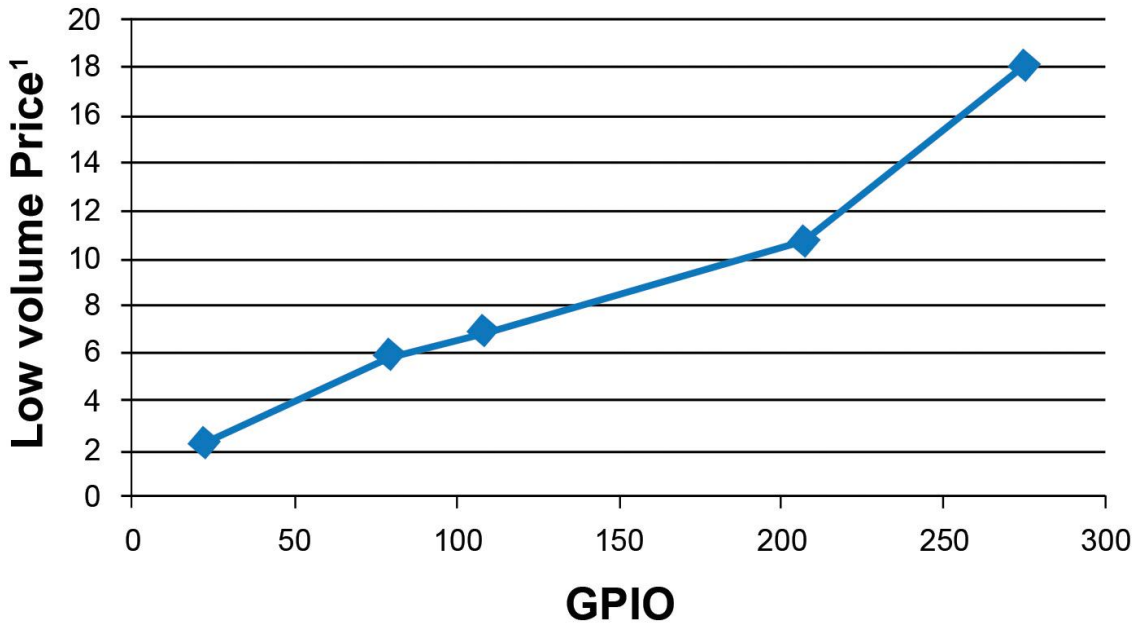


图 2 - FPGA 成本相对于功耗的趋势

低成本 FPGA 提供了众多的 I/O 数目。例如，莱迪思超低密度 MachXO2 提供了从 22 到多于 250 个 I/O 的数量。如图 3 所示，对应 I/O 范围的价格是相当线性的，根据一家美国分销商的信息，图中画出了小批量的价格。



1. Based on US distributors web pricing, March 2013

图 3 - 低成本 FPGA 的 IO 特性

除了逻辑和 I/O 之外，MachXO2 提供了一些可以帮助建立功能的模块，以便扩展微处理器的连接。这些包括嵌入式 RAM 块（EBR）、锁相环（PLL）和提供固化模块的嵌入式功能块(EBR)，诸如 SPI、2 * I2C，以及定时计数器和用户闪存。

接口的实现方法

微处理器连接的主要方式是 UART 以及 SPI 和 I2C 总线。绝大多数的中档微控制器提供了数量有限的这些大量使用的接口。图 4 指出了前一节中重点所述器件所提供的这些接口的数量。

| 接口 | 厂商 A (基于 ARM M4) | 厂商 B (基于 ARM M3) |
|------|------------------|------------------|
| I2C | 1-2 | 1-2 |
| SPI | 1-3 | 1-2 |
| UART | 1-6 | 1-3 |

图 4 -微处理器可用的接口

当一个设计需要比微处理器提供的更多接口时，设计师可以采取两种常用的方法。

- 微处理器控制 GPIO（称为位拆裂）
- 在 FPGA 中用硬件实现

位拆裂方法有三个明显的缺点。首先，接口操作的速度可能被限制到低 MHz 范围，微处理器无法快速地控制 IO 引脚的状态。其次，由于额外的工作量和微处理器可以保持在低功耗睡眠模式的时间的减少，微处理器的功耗增加了。第三，由于微处理器本质上是有限的时序精度，除了采用非常低的速度，实现异步 UART 型接口变得不可能。

一片综合的 FPGA 实现这些接口可能用大约 250 个 LUT，用优化版本实现约 100 个 LUT。根据所用 FPGA 的功能，在适当的组合下可以轻松实现数 10 个额外的接口。由于 FPGA 的硬件性质，执行速度高达几十 MHz 是很容易实现的。FPGA 中还可以实现缓冲和智能中断，可以允许微处理器有更多的时间处于睡眠模式下，以便降低整个系统的功耗。

用参考设计轻松实现

通过参考实例作为起点，FPGA 供应商使微处理器连接扩展的实现相对简单。莱迪思半导体公司的 4 个有代表性的实例如下：

- [RD1124 --使用嵌入式功能块的 I2C 从外设](#)
- [RD1125 --使用嵌入式功能块的 SPI 从外设](#)
- [RD1042 – Wishbone UART](#)
- [I2C 从至 SPI 主桥](#)

巧妙实施连接扩展的实例

通过对微处理器和 FPGA 之间进行巧妙地配置连接，设计师可以在他们的系统中实施所需的连接，同时降低他们的整个实现成本。图 5 说明了前面所述的使用价格数据对实现策略成本的调查，实现策略使用多种 FPGA 和微控制器的资源。可以看到通过尽可能地利用 FPGA，连接扩展成本可以减少 24% 至 34%。

| Case 1 - Implementing μ P System with 125 GPIO | | | | |
|--|-------------------------------|-----------------|-------------------------------|-----------------|
| Option A | Vendor A - μ P + 128 GPIO | \$ 11.05 | Vendor B - μ P + 140 GPIO | \$ 11.56 |
| | Total | \$ 11.05 | Total | \$ 17.56 |
| Option B | Vendor A - μ P + 24 GPIO | \$ 1.25 | Vendor B - μ P + 32 GPIO | \$ 1.82 |
| | FPGA + 108 IO | \$ 6.95 | FPGA + 108 IO | \$ 6.95 |
| | Total | \$ 8.20 | Total | \$ 8.77 |
| Saving | | 26% | | 24% |

| Case 2 - Implementing μ P System with 225 GPIO | | | | |
|--|-------------------------------|-----------------|-------------------------------|-----------------|
| Option A | Vendor A - μ P + 128 GPIO | \$ 11.05 | Vendor B - μ P + 140 GPIO | \$ 11.56 |
| | FPGA + 108 IO | \$ 6.95 | FPGA + 79 IO | \$ 5.85 |
| | Total | \$ 18.00 | Total | \$ 17.41 |
| Option B | Vendor A - μ P + 24 GPIO | \$ 1.25 | Vendor B - μ P + 32 GPIO | \$ 1.82 |
| | FPGA + 207 IO | \$ 10.65 | FPGA + 207 IO | \$ 10.65 |
| | Total | \$ 11.90 | Total | \$ 12.47 |
| Saving | | 34% | | 28% |

图 5 - 巧妙实施系统配置的实例

低成本、低功耗 FPGA 使您可以重新考虑系统的划分

在过去的 15 年中，FPGA 的成本和功耗下降了 2 个数量级。这些改进特性使设计师能够重新思考如何实现微处理器的连接。通过对 FPGA 和微控制器之间的巧妙配置，现在设计师可以降低成本和功耗，同时提高性能和灵活性。

###