



실용적인 저전력 **CPLD**디자인

A Lattice Semiconductor White Paper

2009년 8월

래티스 반도체 주식회사
5555 Northeast Moore Ct.
Hillsboro, Oregon 97124 USA
Telephone: (503) 268-8000
www.latticesemi.com

소개

휴대용 또는 핸드헬드 제품과 관련된 모든 엔지니어는 오늘날 디자인에 있어서 전력 소모 최소화가 절대적인 요구사항임을 알고 있습니다. 하지만, 일부 전문가들만이 시스템 배터리 수명을 최대한으로 늘릴 수 있는 미묘한 부분을 이해하고 있습니다. 이 백서에서, 숙련된 전문가가 임베디드 디자인의 I/O 서브 시스템으로부터 마지막 마이크로와트 전력까지도 아끼기 위해 초 저전력 CPLD를 어떻게 사용하는지에 초점을 둘 것입니다.

우리는 CPLD가 임베디드 디자인에서 전력 소모, 보드 공간과 BOM 비용을 줄이기 위해서 일반적으로 어떻게 사용되는지를 고찰할 것입니다. 다음으로, 우리는 CPLD의 전력소모가 대기모드에서 어떻게 하면 최소화될 것이며, 디바이스 선택뿐만 아니라 적절한 버스 파킹 구조를 선택할 것인가를 살펴 볼 것입니다. 동작 운영 중에 전력 소모 절약에 대한 우리의 탐구는 로직 게이트 선택, 효과적인 I/O 디자인과 정밀한 전압 공급 관리와 같은 기술 등이 포함됩니다.

CPLD - 임베디드 엔지니어의 엣지(Edge)

급부상하고 있는 애플리케이션에서, CPLD의 저렴한 가격, 작은 사이즈와 저전력 소모 특징은 핸드헬드, 혹은 휴대용 디자인을 위한 최상의 선택이 되도록 할 것입니다. 이러한 애플리케이션에서, 일반적으로 그것들은 로직 기능들의 통합, 호스트 프로세서의 I/O 호환성과 프로세서가 저전력 슬립 모드상태에서 더 오랜 시간을 머물 수 있도록 중요한 입력들을 감시하는데 이용됩니다.

I/O확장 디바이스로 이용되었을 때, ispMACH4000ZE 디바이스(그림 1)와 같은 CPLD 는 간단한 임베디드 프로세서에 디스플레이, 버튼, LED, 직렬 혹은 병렬 I/O, 혹은 저장 인터페이스 지원에 필요한 어드레싱과 추가적인 신호라인을 적용할 수 있습니다. 디자이너들은 또한 스마트폰, GPS 시스템, 원격 산업 센서와 디지털 비디오 카메라 등에서 일반 목적의 프로세서와 좀더 전문적인 칩간의 인터페이스로서 그것들을 종종 사용합니다.

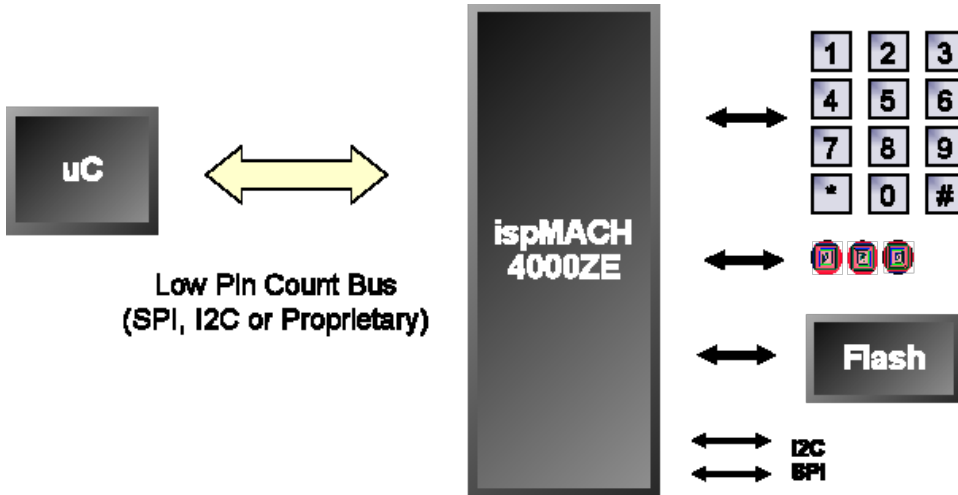


그림 1 - 래티스 ispMACH 4000ZE CPLD를 사용한 I/O 확장

대기 전력 기본

CPLD 전력 소모에 관한 습득을 위한 첫 단계로는 어떻게 디바이스가 자체적으로 동작상태와 대기(정적 상태) 상태를 판단할 수 있는냐는 것입니다. 많은 CPLD는 대기모드에서 대부분의 시간을 보내기 때문에, 우선적으로 종종 잘못 이해하고 있는 모드에 대해 자세히 살펴보도록 하겠습니다.

CPLD 전원이 공급되고 있고, 내부 로직이 클럭 되지 않을 때 대기모드라고 말해줍니다. 이러한 상태에서, CPLD는 여전히 바이어스 전류(실제 동작에 비해서 아주 작다고 하더라도)와 누설전류 때문에 약간의 전력을 소모하고 있습니다. 누설전류는 온도 함수, 동작 전압과 제조 공정에 따라 달라질 수 있습니다.

CPLD의 바이어스 전류는 내부 오실레이터, I/O라인상의 Pull-Up/Down 회로와 디바이스 로직 동작과 무관하게 존재하는 부분의 부하로 인하여 생성됩니다. 누설 전류와는 달리, 바이어스 전류는 높은 온도 상태, 전압 범위에서의 안전성과 관련이 있습니다만, 디바이스의 적절한 구성으로 이를 제어할 수도 있습니다.

규격에 따른 효율적인 누설전류 관리

CPLD의 누설전류는 제조방법에 의해 1차적으로 결정되기 때문에, 첫 번째 단계는 제조사 데이터 시트에서 제공하는 사양을 자세히 살펴봐야 합니다. 단순히 최저전력 소모라는 광고를 보고 구매한 디바이스는 당신의 디자인에서 정확한 성능을 보장할 수는 없습니다. 따라서, “전형적인” 부분과 “최대치”간의 실제적인 관계를 이해하고 있는 경험 많은 디자이너는 특정 애플리케이션

(그림2)을 기반으로 하는 관련된 부분들을 요구합니다. 많은 애플리케이션에서, 데이터 쉬트에 보여진 전형적인 전류는 CPLD가 소모하는 전류에 근사치를 제공합니다. 그럼에도 불구하고, 디자인상에서의 예상 치와 실제 전력 소모와의 차이가 없도록 하기 위해서 요청되어야 할 몇몇의 의문점들은 있습니다.

Supply Current

Symbol	Parameter	Condition	Min.	Typ.	Max.	Units
ispMACH 4032ZE						
ICC ^{1, 2, 3, 5, 6}	Operating Power Supply Current	Vcc = 1.8V, TA = 25°C	—	50	—	μA
		Vcc = 1.9V, TA = 0 to 70°C	—	58	—	μA
		Vcc = 1.9V, TA = -40 to 85°C	—	60	—	μA
ICC ^{4, 5, 6}	Standby Power Supply Current	Vcc = 1.8V, TA = 25°C	—	10	—	μA
		Vcc = 1.9V, TA = 0 to 70°C	—	13	25	μA
		Vcc = 1.9V, TA = -40 to 85°C	—	15	40	μA
ispMACH 4064ZE						
ICC ^{1, 2, 3, 5, 6}	Operating Power Supply Current	Vcc = 1.8V, TA = 25°C	—	80	—	μA
		Vcc = 1.9V, TA = 0 to 70°C	—	89	—	μA
		Vcc = 1.9V, TA = -40 to 85°C	—	92	—	μA
ICC ^{4, 5, 6}	Standby Power Supply Current	Vcc = 1.8V, TA = 25°C	—	11	—	μA
		Vcc = 1.9V, TA = 0 to 70°C	—	15	30	μA
		Vcc = 1.9V, TA = -40 to 85°C	—	18	50	μA

1. Frequency = 1.0 MHz.
2. Device configured with 16-bit counters.
3. ICC varies with specific device configuration and operating frequency.
4. V_{CCO} = 3.6V, V_{IN} = 0V or V_{CCO}, bus maintenance turned off. V_{IN} above V_{CCO} will add transient current above the specified standby I_{CC}.
5. Includes V_{CCO} current without output loading.
6. This operating supply current is with the internal oscillator disabled. Enabling the internal oscillator adds approximately 15μA typical current plus additional current from any logic it drives.

그림 2 - 공급 전류 사양

고려해야 할 첫 번째는 전체 시스템 소모전력 중에서 CPLD 전력 소모부분이 몇 퍼센트를 차지하는가 입니다. 만약 5%-10%로 작을 경우에, 최악의 경우라 할지라도 전체 전력 소모에 비교적 작은 변화만이 발생할 것입니다. 만약 CPLD가 20%, 그 이상이라면, 데이터 쉬트에 명기된 최대 전류에 근접하는 정상적인 대기 소모 전류를 기준 삼아 기본적인 디자인에 대한 고찰에 시간을 투자해야 할 것입니다. 당신은 또한 디자인에서 CPLD사용 숫자(그리고 나머지 디바이스)를 고려해야 합니다. 주어진 보드상에서 디바이스 수가 늘어남에 따라, 디바이스의 전력 소모의 총합은 디바이스의 전형적인 전류 소모를 총합에 근접할 것입니다. 마지막으로, 당신은 귀하의 제품에 최악의 전력소모를 유발시킬 수 있는 구성 요소들의 잠재적인 영향에 대하여 고려할 필요가 있습니다. 예를 들어, 높은 전력 소모가 제품 운용 시간을 얼마나 단축시킬 것인가, 혹은 화재의 위험성은 있는가?

그림2의 데이터 쉬트를 주의 깊게 보았다면, 당신은 아마 대기 전력이 동작 온도와 Vcc(공급 전원)에 따라 변화가 있다는 것을 알 수 있을 것입니다. 이것은 CPLD의 누설 전류는 온도 상승에 따라 증가되는 경향 때문입니다. 사실, 당신 디자인의 적절한 냉각 유지는 대기 전력 소모 특성을 향상시킵니다. 누설 전류는 Vcc와

상당한 관계가 있기 때문에, 가능한 지속적인 낮은 전원 공급은 전력 소모를 많이 절감할 수 있게 합니다. 또한, 주의 깊은 전원 공급 관리로 인하여 동적 전력 소모 역시도 절감할 수 있기 때문에, 우리는 동작 전원 관리에 대해서도 검토할 것입니다.

바이어스 전류 관리

이제 당신은 적절한 디바이스 선택으로 CPLD의 누설전류를 제어해 왔으며, 바이어스 전류 제어를 위해 당신의 엔지니어링 기술을 적용할 때입니다. 바이어스 전류를 관리하기 위해 이용된 기술들은 두 가지 종류가 있습니다:

- 1 – CPLD의 대기 구성이 pull-up/pull-down 혹은 다른 디바이스에 의한 버스파킹 기법에 의해 충돌 나지 않도록 해야 합니다.
- 2 – 내부 기능들이(예를 들어 오실레이터) 필요한 경우에만 동작할수록 하는 동적인 제어와 CPLD의 사용에 따른 대기 시간을 더 확보할 수 있는 최상의 방법을 구성해야 합니다.

버스 파킹 관리

많은 디자인에, 임베디드 호스트 프로세서는 버스, 혹은 I/O 라인상에 원하는 로직 레벨을 유지하기 위하여 자체적인 버스 파킹 구조를 이용할 수 있습니다. 그래서 대기 모드를 위해 당신이 CPLD에 준비해야 할 유일한 것은 액티브 버스 관리 기능을 비활성화 시키는 것입니다. 다른 애플리케이션에서, 버스상의 액티브 pull-up 혹은 pull-down 회로는 대기 상태 동안에 버스 관리권한을 CPLD로부터 분리시킬 수 있습니다.

하지만, 단지 CPLD가 아무것도 하지 않기 때문에, 당신도 아무것도 하지 않아도 된다는 의미는 아닙니다. 신호 핀에서 로직 충돌은 전체 디바이스의 대기 전원 소모량인 10uA의 2-15배 소모될 수 있는 결과를 초래할 수 있기 때문에, 단지 하나의 디바이스가 구동하는 라인의 검증시간을 투자하는것도 중요한 업무입니다.

호스트 버스 파킹 메커니즘이 불가능한 상황에서는, 현재 CPLD의 대부분에서 이용할 수 있는 pull-up/pull-down과 버스 홀드 기능 이용이 가장 적절합니다. 동급 최상의 디바이스로서, 래티스 ispMACH4000ZE CPLD의 I/O 핀들은 대기 상태 동안에 적절한 로직 레벨을 제공할 수 있도록 선택적인 pull-up과 pull-down 저항을 갖추고 있습니다(그림 3). 4000ZE 시리즈는 간단한 저항보다도 낮은 전력 소모를 하면서 1 또는 0으로 설정될 수 있는 약한 드라이버 회로, 전력 소모 절감의 버스 키퍼 기능(버스 홀드)을 갖추고 있습니다. 주의 사항 : 버스 키퍼 기능은 획기적인

전력 소모 절감을 제공합니다만, 라인상의 활성화된 디바이스, 혹은 많은 전류 싱크를 유발할 위험성이 있는지를 확실히 해야 합니다.

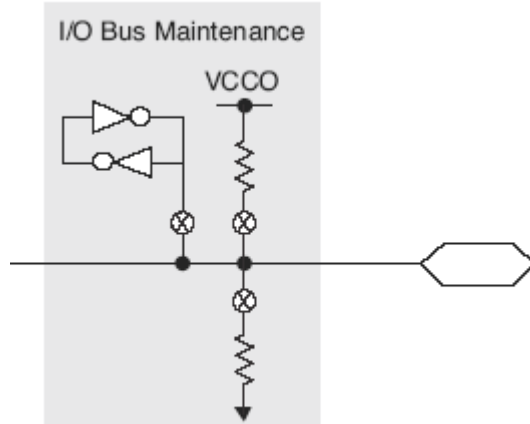


그림 3 - CPLD의 버스 관리 선택 사항들

동적 전원 관리

디자이너가 걱정해야 할 동적 전원에는 두 가지 종류가 있습니다. 운영 전원 소모량의 첫 번째 부분은 실제로 CPLD를 동작시키는데 요구되는 전원입니다. 나머지 종류는 당신이 원하지 않는 시간에 CPLD의 입력들을 반전시키지 않도록 하거나, 가능하면 꺼버리는 것들이 포함됩니다.

정밀 공급 전원 관리

비록 CPLD 로직의 많은 부분이 지속적으로 이용되고, 특정 시간 동안 비활성화시킬 수 없다고 할 지라도, 당신은 여전히 실질적으로 가능한 낮은 전원 공급을 적용함으로써 전력 소모 절감을 달성할 수 있습니다. 전력 소모가 전압의 제곱 함수이기 때문에, 1% 정확성을 갖는 스위칭 레귤레이터에 대한 투자로 인하여 전력 소모를 상당히 절감하면서도 CPLD의 동작 범위의 공급전원 하단에서 당신의 디자인이 동작하도록 합니다. 예를 들면, 정상적인 1.8V 동작전원의 CPLD가 1.65V에서 동작하고 있다면 전력소비는 약 30%정도 감소할 것입니다. 따라서, 낮은 Vcc상에서의 감소된 누설 전류를 볼 수 있습니다.

선택적 논리 게이팅

동급의 CPLD 대부분과 마찬가지로, ispMACH4000ZE는 입력에 연결된 로직이 필요하지 않을 때 개별적인 입력을 비활성화 시키는데 이용할 수 있는(래티스는

“파워 가드”로 명명) 기능이 있습니다. 디바이스의 블록 입력 활성화 라인들은 호스트 프로세서 혹은 외부 로직, 클럭킹(그림4)으로부터 CPLD 로직의 블록을 선택적으로 유지할 수 있도록 이용될 수 있습니다. 예를 들면, CPLD의 일부분이 데코더 회로로 이용되고 있다면, 호스트 프로세서는 단지 그 기능이 이용될 때만 활성화시키고 나머지 시간은 비활성화 상태를 유지할 수 있도록 합니다.

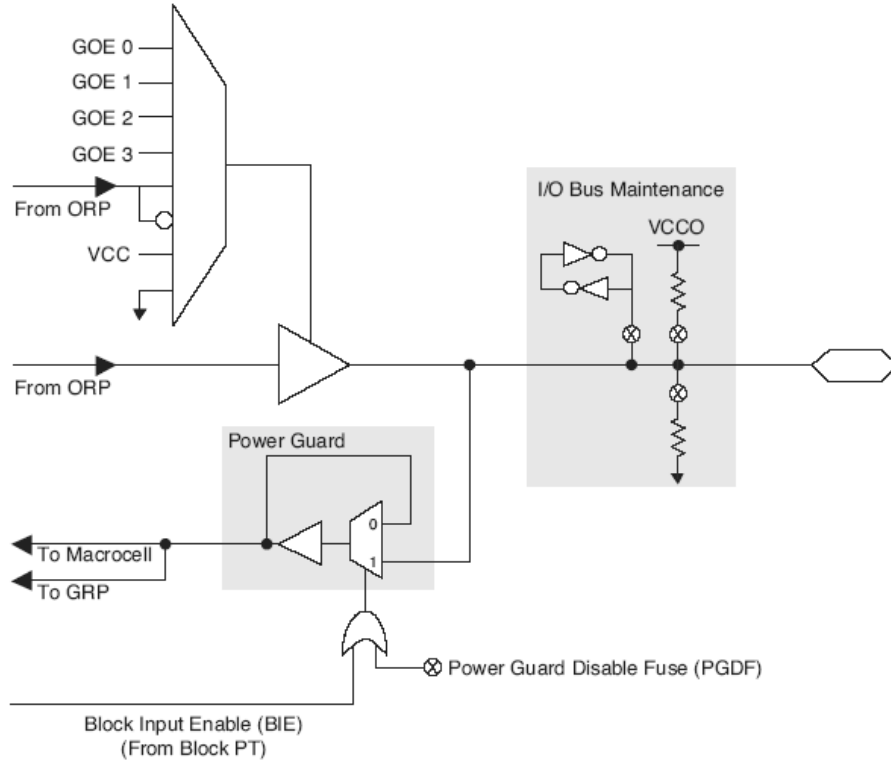


그림 4 - 파워 가드 회로

애플리케이션에 따라, 래티스의 파워 가이드 혹은 선택된CPLD입력 핀에 클럭킹 비활성화를 적용하면 동적 전력 소모를 많이 줄일 수 있습니다. 로직 신호의 클럭 주파수가 30MHz를 초과했을 경우에 이는 분명한 사실로 밝혀집니다. 그림5는 선택적 로직 클럭킹 기술로부터 실현될 수 있는 잠재적인 전원 소모의 절감을 설명해 보이고 있습니다.

ispMACH 4064ZE-TN100 Power Guard Advantage

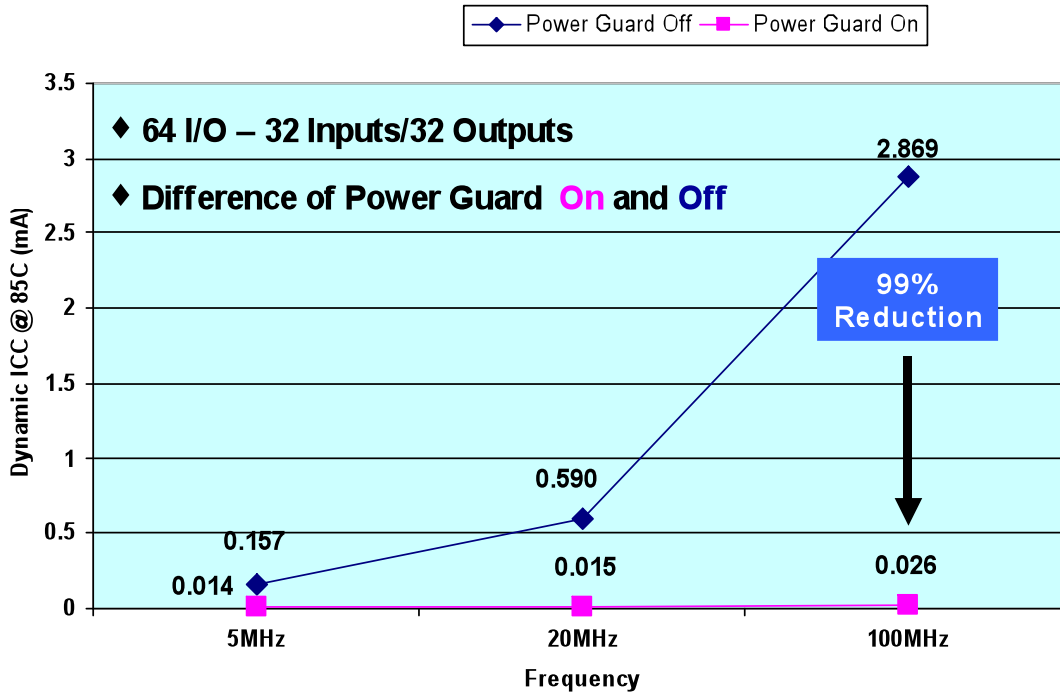
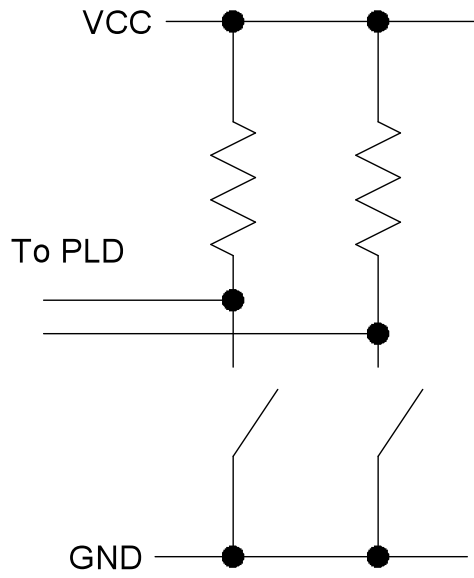


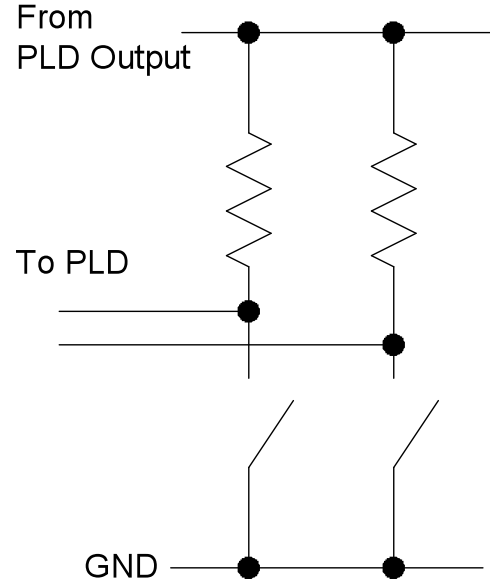
그림 5 - 파워 가드에 따른 에너지 절약

저전력을 위한 I/O 디자인

이미 언급한 기술에 부가적으로, 대부분의 프로젝트에는 최소한의 전력 소모를 아끼기 위한 뛰어난 엔지니어들이 있습니다. 그들은 많은 디자인에서 아무리 작은 전력 소비라도 절감 효과가 있다면 기꺼이 노력할 것입니다. 하나의 좋은 예는 (그림6)의 CPLD의 입력 라인에 연결된 스위치와 릴레이를 위한 센서 전압을 공급하는 유틸리티스 pull-up 저항이 있습니다. 단지 읽고 싶을 때 센스 라인에 전압을 공급하기 위해 CPLD 출력 혹은 다른 제어 라인을 이용함으로써, 디자이너는 센서 라인이 접지되었을 때 나타나는 정적 전류 이외에 것을 제거 할 수 있습니다.



DIP Switch Sense -- Option A



DIP Switch Sense -- Option B

그림 6 – Passive & Active-전원 스위치 센스 라인

기타 정보

- 누설전류를 제거하기 위해 CPLD의 JTAG 인터페이스 핀을 플로팅합니다.
- VCC이상의 VCCO I/O를 유지 하십시오. VCC전압에 근접할수록, 더 많은 전류가 흐릅니다.
- 가능한 느린 슬루 레이트를 적용 하십시오.

결론

대부분의 CPLD기반 디자인은 배터리 전원을 소모하는 애플리케이션들을 포함합니다. 다행히도 몇몇 중요한 원칙하에 애플리케이션을 주의 깊게 디자인한다면 전류 소모를 절감할 수 있습니다.

- CPLD와 다른 부품을 선택할 때는 그들의 정적, 동적 전력 소모율에 관하여 신중을 기해야 합니다: 그들은 공급전원, 온도와 동작 주파수에 따라 다릅니다.
- “최소,” “최대” 그리고 “전형적” 전력 소모 규격은 당신의 디자인에 어떻게 영향을 줄지에 대해서 생각하고 적절하게 적용해야 합니다.
- 바이어스 전류가 최소화될 수 있도록 CPLD의 대기 상태 구조가 다른 디바이스와 충돌 나지 않도록 해야 합니다.

- CPLD는 순간적으로 필요한 부분만을 클럭에 동작하도록 동적 전원을 관리해야 합니다. 래티스 파워가드는 특정 입력의 클럭킹을 선택적으로 비활성화 시키는 간단한 방법이 특징입니다.
- 추가적인 동적 전력 소비 절감은 실질적으로 가능한 낮은 전원 공급을 이용한 정밀한 로직 제어를 실행함으로써 실현될 수 있습니다.
- 제거될 수 있는 불필요한 전력 pull-up/pull-down 저항이 있는지, 필요 시에 선택적으로 전원을 공급이 가능한 I/O 연결을 잘 살펴 보십시오.

만약 당신이 다음 프로젝트에 이러한 부분을 주의 깊게 적용한다면, 당신의 제품은 긴 수명으로 오랫동안 동작할 수 있을 것입니다.

###