



LatticeECP3 sysDSP 块的嵌入式信号处理功能

莱迪思半导体公司白皮书

2009年2月

Lattice Semiconductor
5555 Northeast Moore Ct.
Hillsboro, Oregon 97124 USA
Telephone: (503) 268-8000
www.latticesemi.com

引言

现场可编程器件不断被应用于新的市场，在各种应用中它们都正在成为主流逻辑器件。这些新的市场不断推动了FPGA厂商之间的竞争，导致他们在器件中整合更多的功能和提升灵活性。嵌入式数字信号处理（DSP）就是涉及到广泛市场的器件。为了满足日益增长的市场需求，这些处理单元及其支持的硬件平台必须能够提供更大的计算吞吐量，而不会产生额外的延迟。例如在3G和4G无线通信中的应用，要求基带和远程无线前端（RRH）卡必须同时处理多种协议并增加吞吐量，以支持更高的移动数据传输速率，甚至能够保持高的信噪比。

为了解决这些新出现的需求，莱迪思半导体公司延续其传统，在最近推出的低成本、带有SERDES功能的LatticeECP3 FPGA系列中提供高性能的DSP功能。针对如FIR滤波器和实现FFT / iFFT信号处理的应用，双slice结构特性、级联/链接DSP slice功能、块和增强的指令集构成了引人注目的LatticeECP3系列。

增强的DSP功能

LatticeECP2M系列已成功地进入了2G/3G无线通信领域，设计人员在与客户进行了广泛地切磋之后，进一步推动了LatticeECP3 DSP模块结构方面的改进。几个关键问题已经得到了解决。首先最重要的是，与目前的LatticeECP2 / M DSP保持向下兼容性。能够精确地控制DSP的功能，从而提升了整个DSP模块的性能。白皮书的以下部分将阐述每个功能，以及针对许多信号处理的应用，LatticeECP3系列是如何提供卓越的整体性能的。

图1展示了LatticeECP2 / M和LatticeECP3 DSP模块之间主要数据流差异的功能示意图。

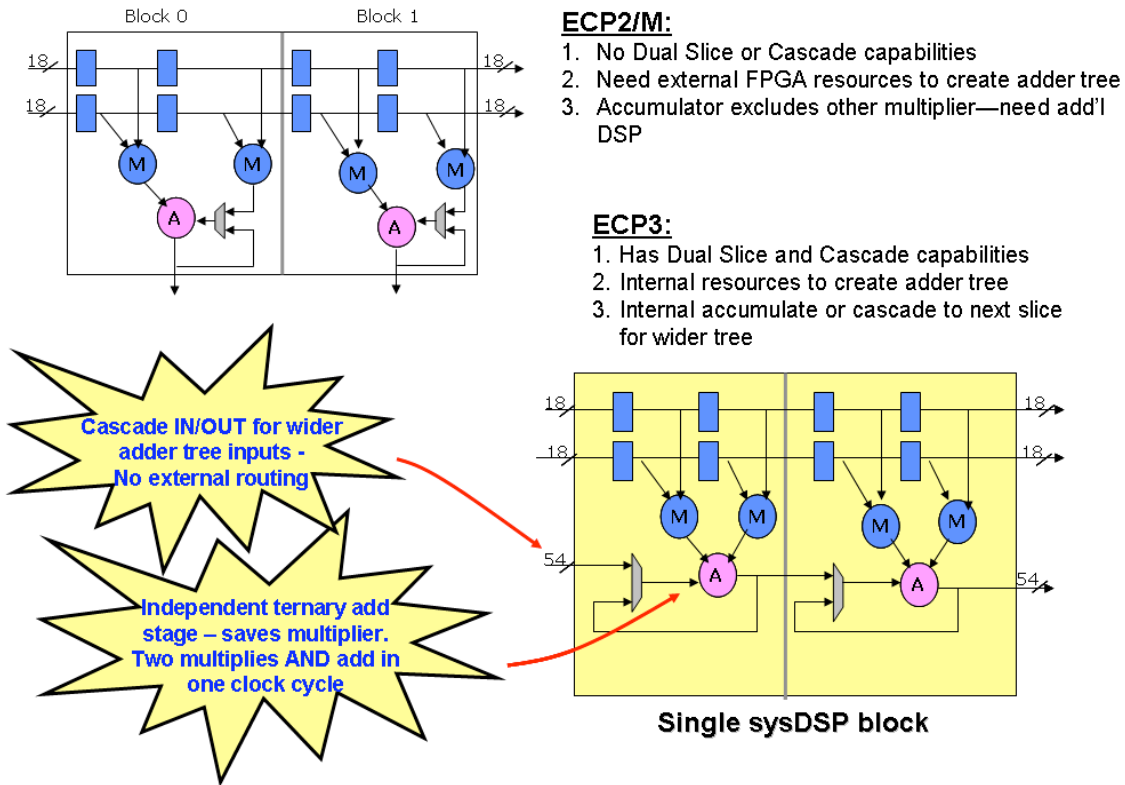
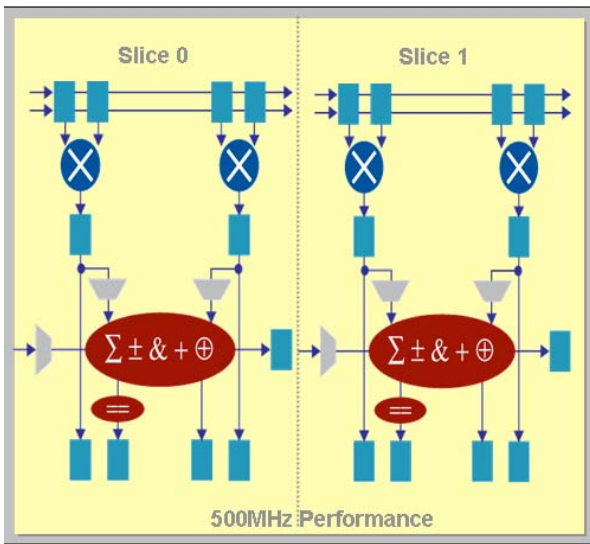


图1 LatticeECP2/M与LatticeECP3的对比

双 slice结构

首次在LatticeECP3 DSP模块中引入的增强性能的结构是这个模块已被分为两个相同的slice。添加此功能有几个方面的原因：能够在DSP模块中提升性能、提供精确的控制功能、并允许ALU能够独立地进行运算。此外，每个slice都能够旁路流水线寄存器，使设计人员能够在必须满足严格时序要求的地方消除传播延迟时间。图2展示了ECP3 DSP模块的slice结构层。



- ◆ **Enhanced 3rd Generation sysDSP Architecture**
 - Fully cascadable blocks
 - Backwards compatible with ECP2M sysDSP block
 - Dual-slice architecture
 - » *higher performance, finer control*
 - » *Independent ALU operation*
- ◆ **Programmable Multipliers**
 - Two 18x18, four 9x9, one 36x36 for double precision / floating point
 - 36x36 across two adjacent slices
 - 18x36 MAC & 18x18 MMAC modes
- ◆ **54-bit Cascadable ALU**
 - Rounding & truncation

图2 双slice 结构

虽然每个slice逻辑上是分离的，添加的功能是能够链接 DSP slice而无需额外的布线资源。链接slice的优点之一是它们能够进行更宽的乘法和累加器运算，部分积或者和从slice0传送到slice1，最终算出积或者和。如上所述，所做的一切都在 DSP模块内完成而不需要使用外部资源。如果不需要链接，slice可以配置成独立地运作，每个slice都有独立的输入和输出信号。

级联功能

对于许多需要大型FIR滤波器或FFT信号处理的应用，必须构建更强的信号处理功能。为了适应这一需要，必须将DSP块串联在一起。通过把一个模块的累加器输出直接连接到其相邻的DSP模块的输入，LatticeECP3解决了高性能信号处理功能的需要。图3为包含在每个DSP模块内累加器级联I/O总线的功能示意图。

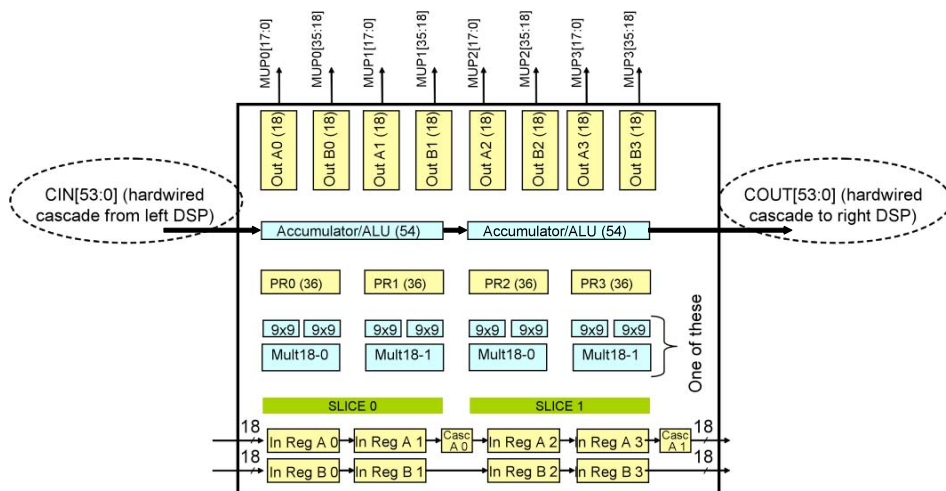


图3 DSP的级联

通过跨越一些特殊的行平铺增强的DSP模块，在LatticeECP3器件系列内完成了级联，每个块中的累加器直接连接到相邻的DSP累加器。就链接而言，这个互连没有使用常规的FPGA的布线资源，从而改进了布线延迟方面的性能。此外，不需要外部流水线寄存器。对一些常见的DSP应用来说，级联是非常有用的，如在FIR滤波器应用中构建更大的加法器树。若没有级联功能，随着加法器树的增加，需要更多的软布线资源层和流水线寄存器以满足性能要求。与LatticeECP2 /M相比较，LatticeECP3 FPGA中更大级联的加法器树保持了更高的性能。现在有了级联功能，可以生成多达四级加法器树，放在树终端的最后的加法器不需要任何外部的FPGA逻辑。其它一些支持新级联功能的有用的DSP运算采用四舍五入、桶型移位、以及构建36位x 36位乘法器。

LatticeECP3 DSP模块中部分级联的特点是在每个slice内在累加器的输入端添加了一个宽的多路复用器。多路复用器的输出送至基于算术逻辑单元电路的三元加法器。从图2中可以看到，灰色单元输出至左边的粉红色累加器。还有其它一些优点，这个新的多路复用器采用了新的数据处理MMAC：多次乘和累加。针对下一个MAC操作，这种新的数据处理允许slice累加器的和被多路复用，作为加数返回累加器。

LatticeECP3的另一个改进是其累加器。LatticeECP3有一个54位数据字累加器，使一个slice内每个周期的MMAC数据处理能力增加了一倍，以及现在每个周期支

持两个18位x 18位累加器。累加器已经增强至含有三元加法器。将宽多路复用器与多输入加法器相结合的特点改善了求和、四舍五入和移位操作。

如前所述，第三代LatticeECP3 DSP对LatticeECP2DSP是完全向下兼容的，但是提升了性能。许多现有的操作码都是直接执行的，同时已添加或修改了其它操作码，以确保新的硬件平台支持所有成熟的DSP指令。

高性能模式

下面的表1总结了LatticeECP2 / M和LatticeECP3 DSP块之间的主要相同的和有差异的功能。有了新的LatticeECP3功能，可以经济地实现先进的信号处理功能，从而满足了先进的系统性能的要求。

DSP Modes	ECP3	ECP2	Implication
MULT	Yes	Yes	
MAC	Yes	Yes	
MULTADDSUB (MultAdd2)	Yes	Yes	
MULTADDSUBSUM (MultAdd4)	Yes	Yes	
MMAC	Yes	No	<ul style="list-style-type: none"> • Re-uses logic to double accumulator performance • Single slice support for multiple MACs • Key for filtering and other applications where running sums must be maintained
Adder Tree	Yes	No	<ul style="list-style-type: none"> • Long (wide) addends can be summed w/o using generic FPGA resources... up to 30% increase in performance • Allows accumulator to be at the end of the adder without a performance penalty • Improves performance of barrel shifting/rounding
Wide Mux	Yes	No	<ul style="list-style-type: none"> • Two extra bits permit quadrupling of math functions (One extra bit for each doubling of data value). • Increased performance by using same slice for extra math operations.
SLICE	Yes	No	<ul style="list-style-type: none"> • Separates clock and control signals, providing more granular control per slice. • Improved performance/clock speed. • Cascading implemented across slices, no external routing resources needed.

 - New modes for ECP3

表1 高性能模式

总结

信号处理是一个生机勃勃的并有严格要求的领域。无论是设计人员还是供应商都期望在这个领域有不断的改进。双slice结构架构的改进使得能够实施精确的块控制并有更高的时钟速度，同时还提升了其他方面的功能，如级联功能和更宽的算术逻辑单元/输入多路复用器，使LatticeECP3能更有效的支持处理功能的实现，如实现

加法器树而不需要使用任何外部逻辑。这些只是LatticeECP3器件系列改进的一些方面，再次表明了莱迪思始终致力于向用户提供最佳的解决方案。通过将高性能、低功耗和低成本相结合，在莱迪思的无与伦比的整体价值方面，LatticeECP3 FPGA器件系列翻开了下一个篇章。