

はじめに

ラティスセミコンダクター（以下ラティス）は、インシステム・プログラミング（ISP）PLD 技術を発明したリーダーです。ISP の目的の 1 つであり、究極の目標でもあるのは、ミッション・クリティカルなシステムのライブ・フィールド・アップグレードを可能にすることです。これには、その特性から以下の条件を満たす必要があります。

1. いかなる形にしろプログラミングの不成功は許されないため、信頼性が極めて高いこと
2. ごく短時間の機能動作中断も許容されないため、動作中のパターン（=ビットストリーム、イメージ）から更新される新パターンへの移行中も含めて、システムが機能動作を維持していること
3. ミッション・クリティカルなシステムの IP（知的財産）を保護するための様々なセキュリティ機能が必要なこと

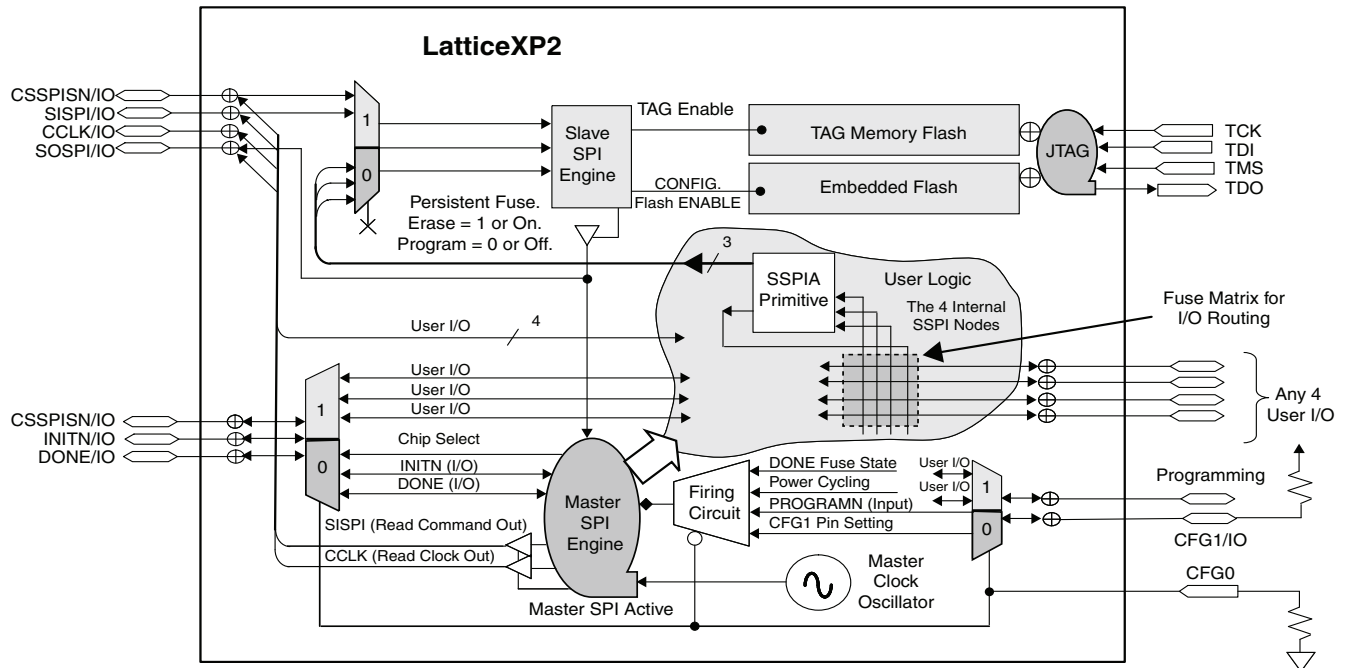
ラティスが提供するフラッシュベースの不揮発性 FPGA ファミリ LatticeXP2TM は、ミッション・クリティカルなシステムを信頼性高くかつ安全にライブ・フィールド・アップグレードするという、ISP の究極のソリューションを提供する業界で初めての、かつ唯一の ISP 製品です。LatticeXP2 はこの目的のために必要な次の属性を全て備えています。

1. 高信頼システムを実現するためのデュアルブート機能及びフラッシュ保護
2. シームレスなライブ・フィールド・アップグレードを可能にするインスタントオン、バックグラウンドプログラミング及び TransFR（Transparent Field Re-programming）機能
3. ユーザの知的財産を保護するためのキーによる保護と暗号化

図 17-1 に示す LatticeXP2 デバイスのブロック図は、マスタ SPI ポートとスレーブ SPI ポートのユニークな共存の全体像を示したものです。LatticeXP2 のスレーブ SPI インターフェイスの詳細については、該当する資料を参照してください。ミッション・クリティカルなフィールド・アップグレードの必須機能である TransFR は、JTAG ポートでのみ使用できます。したがって、本書では JTAG ポートを用いるプログラム動作に関してのみ説明します。

LatticeXP2 は内蔵フラッシュ・コンフィグレーションメモリを補完するために、安価な外付け SPI フラッシュデバイスにも対応しています。これにより ”ゴールデン” イメージと呼ばれる、代替またはバックアップのビットストリームを使用することが可能となります。デバイスは常に選択されたソースから、プライマリイメージのロード（コンフィグレーション）を試みます。その際に予期せぬ中断が発生や不成功となった場合は、LatticeXP2 デバイスは自動的にイメージのソースを切り替えて、ゴールデンイメージでコンフィグレーションを実行します。

図 17-1. LatticeXP2 マスタ SPI 及びスレーブ SPI ポート



デュアルブート機能

フィールド・アップグレード・アプリケーションの最も大きなリスクの1つとして、アップグレード中の以下のような理由による中断・不成功が挙げられます。

1. 電源断
2. 通信断
3. データファイルの誤り

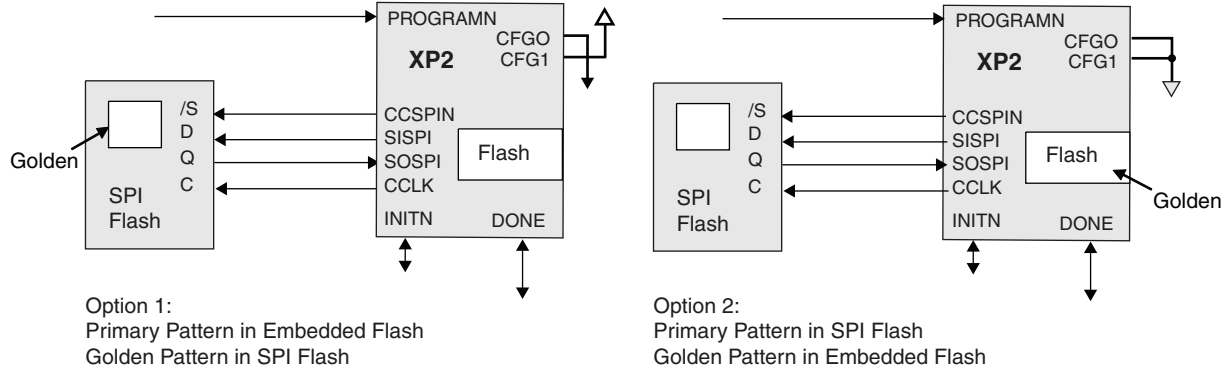
このようなリスクを完全に排除するために、第一のパターンが誤った場合、デバイスは自動的に、正常な第二の既知の（ゴールデン）パターンからロードするようにスイッチします。これがデュアルブート機能です。デュアルブート機能の主な目的は、フィールド・アップグレードが可能なシステムの信頼性を高めることです。

LatticeXP2 デバイスは、コンフィグレーション・パターンを保存したフラッシュブロックが集積されている不揮発性デバイスです。その利点は集積フラッシュから SRAM ブロックへ超多ビットの並列ロードによって、非常に短時間での“インスタントオン”が可能なおことです。

可能な限りコストを抑えるために、LatticeXP2 には1つのパターンを保存するためだけに必要なフラッシュしか集積していません。ラティスは、揮発性 FPGA デバイスである LatticeECP/2/3 ファミリーに採用して好評だった SPI フラッシュ・インターフェイスを、デュアルブート機能を実現するために LatticeXP2 デバイスファミリーにも組み込みました。SPI フラッシュデバイスは、第二の（ゴールデン）パターンを保存するために使用することができます。

デュアルブートオプションの基本的な2つの接続を図 17-2 に示します。

図 17-2. デュアルブート・オプション



LatticeXP2 デバイスのデュアルブート機能は、業界標準の JTAG ポートで必要な手順を実行するため、ユーザにとって理解しやすい設計となっています。したがって、ユーザは新たなツールやフローなどを学習する必要がありません。また、機能を追加実装することも可能です。

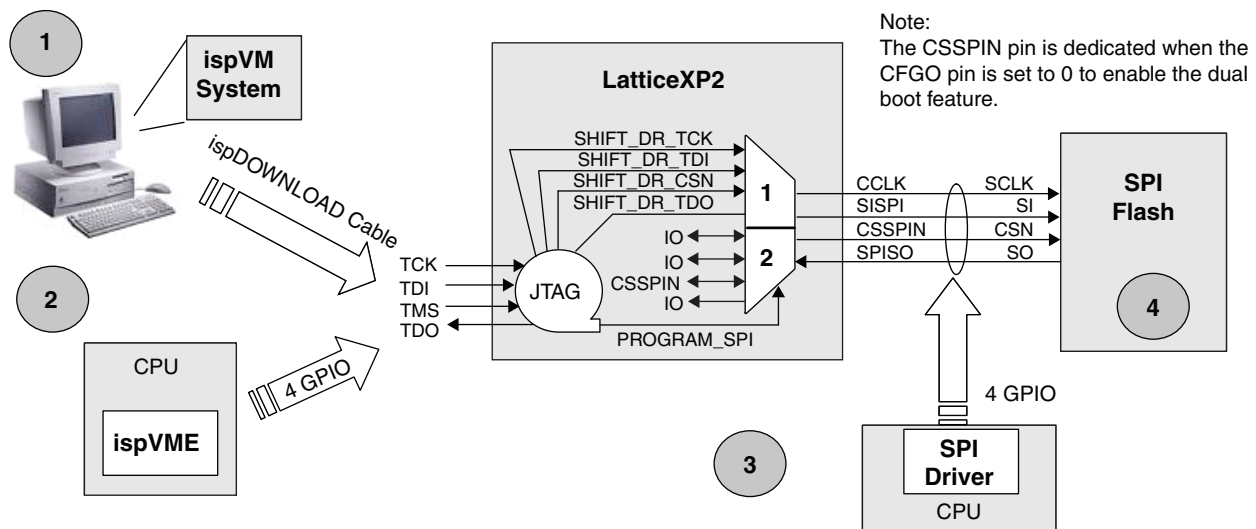
図 17-3 のブロック図は、ラティスが FPGA 製品ファミリに組み込んだ回路を示したものです。これによって、JTAG ポートが非 JTAG 対応の SPI フラッシュデバイスにもアクセスすることが可能となります。またこのユニークな機能は、SPI フラッシュデバイスのライブ・フィールド・アップグレードも可能にします。

図 17-3 に示す 4 つの方法は以下のとおりです。

1. ispVM を使用して、基板開発フェーズで SPI フラッシュを直接プログラムする
2. ispVME を使用して、基板製造フェーズで SPI フラッシュをプログラムする
3. CPU を使用して、LatticeXP2 デバイスを迂回して SPI フラッシュに直接アクセスする
4. BPM Microsystems 社や System General 社などのサードパーティで SPI フラッシュデバイスを予めプログラムするなど、基板に実装せずにプログラミングする手順を使用し、その後基板に実装する

方法3及び4は、フィールド・アップグレードとは関係ないため、本書では方法1と2のみについて説明します。

図 17-3. SPI フラッシュデバイスをプログラムする 4 つの方法



定義

SPI

Motorola 社によって最初に提唱された Serial Peripheral Interface の略。

マスタ (Master) SPI

FPGA デバイスは、外部 SPI フラッシュデバイスからビットストリーム・データをロードして SPI ホストとして単独で起動する (モード)。

SDM (Self Download Mode、セルフダウンロード・モード)

FPGA デバイスが内蔵フラッシュから単独でインスタントオン起動するモード。

消去 (Erase)

全てのフラッシュセルに論理 1 を書き込むこと (オープンヒューズとも言う)。

プログラム (Program)

選択されたフラッシュセルに論理 0 を書き込むこと (クローズヒューズとも言う)。

コンフィグレーションする (Configure)

パターンを FPGA デバイスの SRAM ヒューズに書き込み、起動させること。ブートアップとも言う。

プライマリブート (Primary Boot)

電源オフ後に再投入すると、FPGA デバイスが最初にロードするパターン (プライマリパターン) で起動すること。許容されるプライマリパターンは 1 つのみ。

ゴールデンブート (Golden Boot)

プライマリブートが不成功だった場合に FPGA デバイ스에ロードされる、正常なことが既知のパターン (ゴールデンパターン) で起動すること。ルートブートとも言う。許容されるゴールデンパターンは 1 つのみ。

デュアルブート (Dual Boot)

デバイスは、プライマリパターンとゴールデンパターンの 2 パターンから選択してロードする機能。

リフレッシュ (Refresh)

不揮発性ソースからパターンをロードして、FPGA デバイスをコンフィグレーションする動作のこと。

ビットストリーム (Bitstream) データファイル (.BIT)

単一 FPGA デバイスのコンフィグレーション用データファイル。SRAM セルをコンフィグレーションするために FPGA デバイスに直接ロードできる形式になっている。バイナリ hex 形式で表記。印刷は不可。

JEDEC ファイル (.JED)

JEDEC 42.1C 標準で定義されたプログラミング・データファイルで、2 値 ASCII 形式。印刷可能。サードパーティ・プログラマが、量産プログラミングを実現するためにも使用する。

TransFR

内蔵フラッシュが SRAM ヒューズにパラレルロードされている間に、ユーザがユーザ I/O ピンを正しく (High、Low またはトライステート) 制御することを可能にする機能のこと。

セキュリティ (Security)

標準 (standard) セキュリティとは、内蔵フラッシュと SRAM ブロックからのリードバック動作を無効にする機能のこと。高度 (advanced) セキュリティは、内蔵フラッシュブロックを保護するための暗号化サポートや、様々な暗号キーやロックに対応する機能のことをいう。

SED CRC

SRAM ヒューズ値の CRC 値を計算することによるソフトウェア検出 (SED、Soft Error Detection)。ラティスは、この機能の実装に 32 ビット多項式を使用している。

ワンショット (One Shot) SED

内蔵フラッシュからブートするたびに、SED CRC 機能を自動的に有効化し、内蔵フラッシュデータの整合性を直ちにチェックする機能。

バックグラウンド (Background) モード (またはユーザモード)

FPGA デバイスや接続されたペリフェラル (SPI フラッシュ) デバイスでプログラム動作が実行されている間も、FPGA デバイスの SRAM ヒューズのパターンに従って、FPGA デバイスはフルに機能動作し続けなければならない。本モードはライブ・フィールド・アップグレード機能で最も重要な要素で、ラティスの FPGA デバイスのみで実現している。

ダイレクトモード /IEEE 1532 アクセスモード・ステート (Direct Mode, IEEE 1532 Access Modal State)

FPGA デバイスや接続されたペリフェラル (SPI フラッシュ) デバイスでプログラム動作が実行されている間、FPGA デバイスを SRAM ヒューズ内のパターンによる管理から外す、即ちスリープ状態にする。このモード中、I/O はトライステート状態にあるか、もしくは状態を保持する。ラティスは、バックグラウンド・モードとの対比でこの用語を使用している。全ての PLD デバイスがこのモードに対応している。

目的

1990 年以来ラティスが提唱してきたインシステム・プログラミング革命の究極の目標は、信頼性と継続性のあるライブ・フィールド・アップグレードが可能なシステムを実現することでした。2000 年以降に発売された当社のデバイスに組み込まれている TransFR 機能によって、その目標に一步近づくことができました。そして、2007 年に導入されたデュアルブート機能と高度セキュリティ機能によって、ついに究極の目標が達成されました。

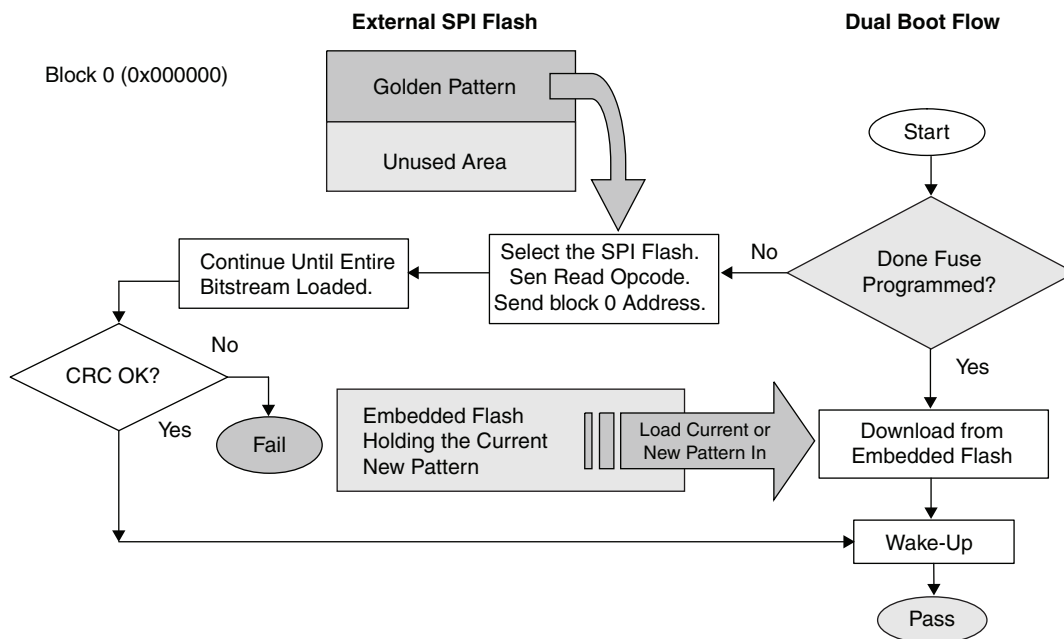
本書では、LatticeXP2 デバイスファミリのデュアルブート機能の技術的な詳細を説明します。また、デュアルブート機能をサポートするために以下の用途で ispVM や ispVME を使用方法について説明します。

1. SPI フラッシュデバイスにビットストリームをプログラムするために、ispVM または ispVME を使用する
2. LatticeXP2 デバイスに JEDEC ファイルをプログラムするために、ispVM または ispVME を使用する

LatticeXP2 の高度セキュリティ機能、TransFR 機能およびミッション・クリティカルなフィールド・アップグレードの適用についても、簡単に触れます。

注: LatticeXP2 デバイスは、LatticeXP2 デバイスの内蔵フラッシュを対象とした暗号化 JEDEC ファイルのみサポートしています。

図 17-4. LatticeXP2 FPGA デュアルブート機能フロー図



リソース

表 17-1 はデュアルブート機能をサポートするために必要な SPI フラッシュの最小規模を示します。

表 17-1. 必要な SPI フラッシュデバイスのサイズ

| デバイス名 | ビットストリーム・サイズ | SPI フラッシュの最小規模 |
|--------|--------------|----------------|
| | M ビット | M ビット |
| XP2-5 | 1.28 | 2 |
| XP2-8 | 1.99 | 2 |
| XP2-17 | 3.55 | 4 |
| XP2-30 | 5.79 | 8 |
| XP2-40 | 8.04 | 16 |

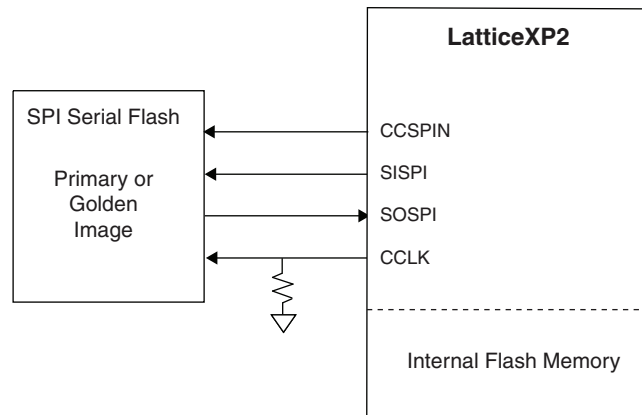
デュアルブート・モード

LatticeXP2 デュアルブート sysCONFIG™ モードは、CFG ピン設定を使用して選択します。表 17-2 は、LatticeXP2 デバイスファミリが対応している sysCONFIG モードを示します。図 17-5 は、SPI フラッシュのハードウェア接続図を示します。

表 17-2. LatticeXP2 sysCONFIG モード

| CFG0 | CFG1 | コンフィグレーション・モード | プライマリ・ブートソース | セカンダリ・ブートソース |
|------|------|--------------------|-----------------|-----------------|
| 0 | 0 | デュアルブート | 外部 SPI フラッシュメモリ | 内部 SPI フラッシュメモリ |
| 0 | 1 | デュアルブート | 内部 SPI フラッシュメモリ | 外部 SPI フラッシュメモリ |
| 1 | X | セルフダウンロードモード (SDM) | 内部 SPI フラッシュメモリ | なし |

図 17-5. SPI フラッシュと LatticeXP2 のハードウェア接続



プライマリソースからのコンフィグレーションの不成功を検出し、セカンダリソースからコンフィグレーションを再試行するために内部ロジックを使用します。このシーケンスは、LatticeXP2 がデュアルブート・モードに設定されており、コンフィグレーションが開始されたときに使用されます。

デュアルブート・モードでは、以下のイベントのいずれかが発生するとコンフィグレーションが開始されます。

- ・ 全ての電源が必要な最小値に達して、デバイスが起動された場合
- ・ PROGRAMN ピンがトグルされた場合
- ・ ispJTAG™ ポートを経由して REFRESH コマンドが発行された場合

デュアルブート・モードで、プライマリイメージとゴールデンイメージの両方が不成功となると、INITN ピンが Low にドライブされ、コンフィグレーションは停止します。

ラティスは、短いインスタントオン時間、標準または高度セキュリティ、TransFR など内蔵フラッシュ特有の機能をフルに活用するために、内蔵フラッシュを第 1 の（プライマリ）ブートとして使用することを強く推奨します。本書では、CFG[0:1] を [01] にそれぞれ設定して内蔵フラッシュを第 1 ブートとして選択する、デュアルブート・フローについてのみ説明します。

このフローは、電源を一度切ってから再投入する、または PROGRAMN ピンをトグルすることでトリガされます。

A. CFG0 を Low に設定してデュアルブート・モードが選択されると、デバイスはまず CFG1 ピンをチェックして、第 1 ブートのソースを判断します。CFG1 ピンが High に設定されている場合、デバイスはすぐにフラッシュの DONE ヒューズをチェックします。

1. Done ヒューズがプログラムされている場合

Done ヒューズがプログラムされている場合、内蔵フラッシュは有効なパターンでプログラムされているはずですが、デバイスは、内蔵フラッシュからブートします。内蔵フラッシュからのブートが正しく行われたかどうか確認する必要がある場合、ワンショット SED 機能を使用して確認することができます。

注：デバイスは、SRAM ヒューズを読み込み、バックグラウンド・モードで CRC 値を計算することによってのみワンショット SED を実行できます。

2. Done ヒューズがプログラムされていない（消去されている）場合

Done ヒューズが消去されている場合は、内蔵フラッシュのパターンが無効なはずですが、デバイスはマスタ SPI エンジン起動し、外部 SPI フラッシュデバイスからデータをロードします。マスタ SPI エンジンは、標準プロトコルとして、SPI フラッシュデバイスから受け取るデータの最初の 128 ビットを無視し、プリアンブルコード 0xBDB3 を探します。ここで、以下の 2 つの不成功（フェイル）となるケースがあり得ます。

- a. プリアンブルコードが約 16,000 クロック以内で検出されない。SPI フラッシュデバイスがブランクの場合に発生する。タイムアウト・フェイルと呼ばれる
- b. デバイスのマスタ SPI エンジンによって計算される CRC 値がビットストリームに組み込まれた値と一致しない。これはビットストリーム・データが誤っていることを意味する

フェイルした場合、デバイスはそれを示すために INITN ピンを Low にドライブします。そうでなければ、デバイスは起動して動作を開始します。

注：INITN ピンは、マスタ SPI エンジンが起動している時のみ機能します。起動していない場合は機能しません。

B. CFG1 ピンが Low に設定されている場合、デバイスはマスタ SPI エンジン起動して第一のパターンからブートします。上記で説明した 2a または 2b のフェイルが発生した場合、デバイスは INITN ピンを一度 Low にドライブしてから High にして、フラッシュの DONE ヒューズがプログラムされているかどうかチェックします。DONE ヒューズがプログラムされている場合、デバイスは SDM を実行して DONE ピンを High にドライブし、デバイスを起動します。DONE ヒューズがプログラムされていない場合、デバイスはコンフィグレーションを停止し、コンフィグレーションが完了しなかったことを示すために DONE ピンを Low のままにします。

上記で説明した一連のデュアルブート手順により、消去動作を実行する際に DONE ヒューズが最初に消去される理由は明らかです。DONE ヒューズは LatticeXP2 デバイスで内蔵フラッシュをプログラムする際に、最後にプログラムされるフラッシュヒューズでもあります。

非常に重要な事項

1. SPI フラッシュデバイスが対応する最大読み出し周波数を確認してください。ビットストリームの CCLK 周波数を SPI フラッシュデバイスのデータシートに記載された最大値以上に設定しないでください。

理由：全ての SPI フラッシュデバイスは、Slow Read コマンド (0x03) と Fast Read コマンド (0x0B) をサポートしていますが、LatticeXP2 ファミリは Slow Read コマンドしか対応していません。デバイスが起動されたとき、CCLK 周波数はデフォルト値である約 3.1MHz に設定されています。LatticeXP2 がビットストリームのロードを開始すると、CCLK 周波数はユーザが選択した値に更新されます。選択された CCLK 周波数が、SPI フラッシュデバイスが対応できる最大周波数を超えている場合、LatticeXP2 がコンフィグレーションしない可能性があります。

回避策：ispUFW (ユニバーサル・ファイルライター) を使用して JEDEC ファイルをビットストリーム・ファイルに変換する際に、対象となる SPI フラッシュの仕様を満たす CCLK 周波数設定を選択し直します。

2. JTAG ポートが使用されている場合、基板の電源を切ってから再投入した場合を除き、PROGRAMN ピンをトグルしてリブートしないでください（この制限については、図 17-6 に示す "LatticeXP2 ファミリ・データシート" (DS1009) の信号記述表の注 2 で説明しています）。

図 17-6. LatticeXP2 データシートの注

Lattice Semiconductor Pinout Information
LatticeXP2 Family Data Sheet

Signal Descriptions (Cont.)

| Signal Name | I/O | Description |
|---|-----|---|
| TDO | O | Output pin. Test Data Out pin used to shift data out of a device using 1149.1. |
| VCCJ | — | Power supply pin for JTAG Test Access Port. |
| Configuration Pads (Used during sysCONFIG) | | |
| CFG[1:0] | I | Mode pins used to specify configuration mode values latched on rising edge of INITN. During configuration, an internal pull-up is enabled. |
| INITN ¹ | I/O | Open Drain pin. Indicates the FPGA is ready to be configured. During configuration, a pull-up is enabled. |
| PROGRAMN | I | Initiates configuration sequence when asserted low. This pin always has an active pull-up. |
| DONE | I/O | Open Drain pin. Indicates that the configuration sequence is complete, and the startup sequence is in progress. |
| CCLK | I/O | Configuration Clock for configuring an FPGA in sysCONFIG mode. |
| SISPI ² | I/O | Input data pin in slave SPI mode and Output data pin in Master SPI mode. |
| SOSPI ² | I/O | Output data pin in slave SPI mode and Input data pin in Master SPI mode. |
| CSSPIN ² | O | Chip select for external SPI Flash memory in Master SPI mode. This pin has a weak internal pull-up. |
| CSSPISN | I | Chip select in Slave SPI mode. This pin has a weak internal pull-up. |
| TOE | I | Test Output Enable tristates all I/O pins when driven low. This pin has a weak internal pull-up, but when not used an external pull-up to V _{CC} is recommended. |

1. If not actively driven, the internal pull-up may not be sufficient. An external pull-up resistor of 4.7k to 10kΩ is recommended.
2. When using the device in Master SPI mode, it must be mutually exclusive from JTAG operations (i.e. TCK tied to GND) or the JTAG TCK must be free-running when used in a system JTAG test environment. If Master SPI mode is used in conjunction with a JTAG download cable, the device power cycle is required after the cable is unplugged.

理由: JTAG ポートは常に動作するように設計されているため、JTAG ポートの動作を中断しないように PROGRAMN ピンも無効化されます。

回避策: PROGRAMN ピンをトグルするのではなく、JTAG REFRESH 命令によってリブートします。

3. 標準セキュリティヒューズが設定されている場合に、バックグラウンド・モードで LatticeXP2 デバイスを再プログラムすると、ベリファイが不成功となります。

理由: 標準セキュリティヒューズの機能は、リードバック動作を無効にすることです。LatticeXP2 デバイスを起動するたびに、内部のヒューズパターンを保護するためにセキュリティヒューズ状態にラッチがかけられます。バックグラウンド・モードでのプログラミングは、チップデザインとして、セキュリティラッチを含めた SRAM ヒューズモジュール内のパターンを変更できないようにされています。即ちセキュリティラッチをバックグラウンド動作でクリアすることはできません。これによってバックグラウンドで行われる全てのリードバック動作をブロックします。

回避策:

- A. バックグラウンド・モード・プログラミングでベリファイ・プロセスをスキップします
- B. 暗号化バックグラウンド・プログラミングを使用する

プログラミング手順

パート 1: ゴールデンパターンを SPI フラッシュデバイスにプログラムする

SPI フラッシュデバイスは、LatticeXP2 デバイスのゴールデンパターンを保存します。マスタ SPI ポートでは、ゴールデンパターンはビットストリーム形式である必要があります、それは LatticeECP/2/3 FPGA デバイス

ファミリとまったく同じです。ビットストリーム形式については、本書の最後に示す補足資料を参照してください。

LatticeXP2 FPGA において、ラティスの設計ソフトウェアである ispLEVER[®] は、JEDEC ファイルのみを生成します。ispVM[®] System の一部である ispUFW[®] ユーティリティを使用して、LatticeXP2 の JEDEC ファイルをマスタ SPI ポート用のビットストリーム・ファイルに変換することができます。この手順を図 17-7 及び表 17-3 に示します。

ビットストリームが生成されたら、図 17-8 及び表 17-4 に示す手順に従ってビットストリームを SPI フラッシュデバイスにプログラムします。ispVM System は数多くの SPI フラッシュ動作をサポートしていますが、これらはユーザが直感的に理解できるため、本書では説明を省略します。

図 17-7. ispUFW を使用した JEDEC ファイルからビットストリーム・ファイルへの変換

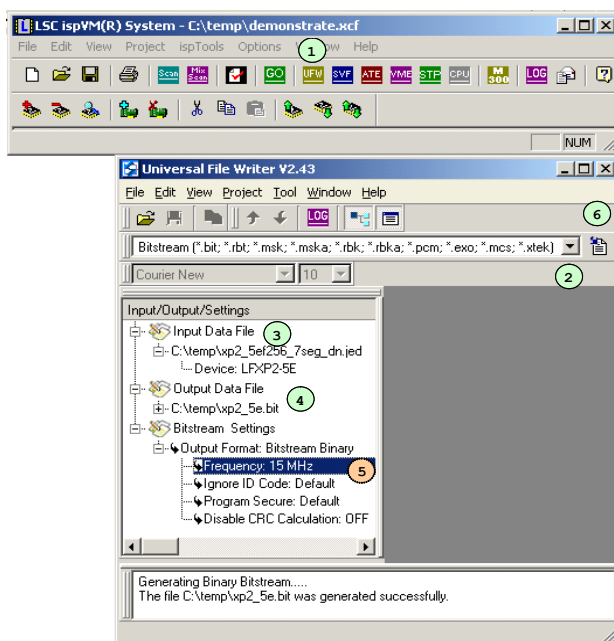


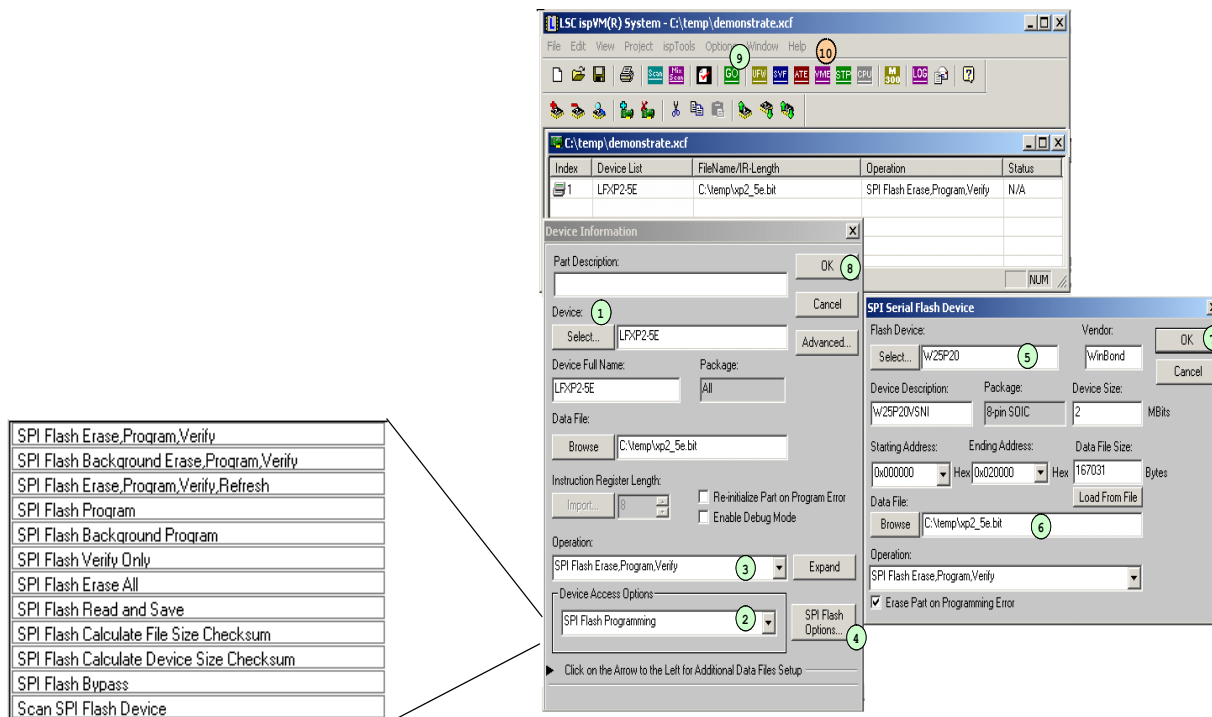
表 17-3. ispUFW による JEDEC からビットストリームへのファイル変換手順

| ステップ | 記述 |
|------|--|
| 1 | ispVM で UFW を起動する |
| 2 | 出力ファイル形式としてビットストリーム・ファイルを選択する |
| 3 | JEDEC の入力ファイル名をブラウズする。デバイス名は JEDEC ファイルから抽出される |
| 4 | 出力ファイル名をブラウズするか入力する |

表 17-3. ispUFW による JEDEC からビットストリームへのファイル変換手順 (Continued)

| ステップ | 記述 |
|------|---|
| 5 | このステップは任意。デフォルトは 2.5MHz。LatticeXP2 デバイスのクロック発生回路の周波数偏差が +/-30% であり、標準的な Slow Read (opcode = 0x03) 周波数は SPI フラッシュデバイスの最大動作周波数である 20MHz であるため、推奨する最大周波数は 15MHz。 Frequency 以降の設定はデフォルトのままにすること。念のため、他の設定の目的を以下に説明する。 Ignore ID Code = ビットストリームにチェックする LatticeXP2 デバイスの 32 ビットデバイス ID を挿入する Default = IDCODE をチェックしない Program Secure = プログラムのセキュリティヒューズ・コマンドをビットストリームに挿入する。 JEDEC ファイルの G フィールドの設定どおり Disable CRC Calculation = ビットストリームでの CRC チェック機能を除く。OFF = ビットストリームで CRC チェックを行う (注: LatticeXP2 デバイスは、CRC 値を使用してビットストリームに誤りがないかチェックし、コンフィギュレーションの成功/不成功を判断する。ユーザは、最終的なビットストリームを生成する際に、絶対にこの設定を変更してはならない。これらは基板開発やデバッグのための機能である) |
| 6 | ファイル生成ボタンをクリックしてビットストリームを生成する |

図 17-8. ispVM を使用したビットストリームの SPI フラッシュデバイスへのプログラム



SPI フラッシュが有効なビットストリームでプログラムされた後に、LatticeXP2 デバイスがまだプログラムされていない場合は、JTAG REFRESH を実行するか、電源を一度切ってから再投入すると、LatticeXP2 デバイスはマスタ SPI ポートを起動して SPI フラッシュデバイスからブートします。JTAG ポートが使用されていない場合は PROGRAMN ピンは機能します。JTAG ポートが使用されている場合は、LatticeXP2 デバイスの電源を一度切ってから再投入することで、PROGRAMN ピンを再有効化できます。

表 17-4. ispVM を使用してビットストリームを SPI フラッシュデバイスにプログラムするための手順

| ステップ | 記述 |
|------|--|
| 1 | LatticeXP2 デバイスをブラウズするか選択する |
| 2 | Device Access Options で SPI Flash Programming を選択する |
| 3 | Operation リストから SPI フラッシュの動作を選択する (注: 既に述べたように、ここで説明する動作は全て JTAG ポートで実行されるため、PROGRAMN ピンの機能は JTAG ポート上の動作によって無効化される。PROGRAMN ピンを再有効化するためには、LatticeXP2 デバイスの電源を一度切ってから再投入する) |
| | Erase, Program, Verify ダイレクトモードの動作。SPI フラッシュデバイスのプログラム前及びプログラム中に SRAM ヒューズをクリア (消去) することで、LatticeXP2 デバイスは強制的に消去された状態になる。パーシスタンス (persistence) ヒューズが、JTAG ポートを経由して SPI フラッシュデバイスへ無条件にアクセスできるように設定することが目的 |
| | Background Erase, Program, Verify バックグラウンド・モードの動作。LatticeXP2 デバイスは、SPI フラッシュデバイスのプログラム中でも機能し続けることが可能。ただし、この動作を実行するには、LatticeXP2 デバイスのパーシスタンス・ヒューズをあらかじめオンしておく必要がある。パーシスタンス・ヒューズがオンになっていない場合や LatticeXP2 デバイスがブランクでない場合は、この動作の ID チェックはフェイルする。その場合は、代わりに上の動作を行う必要がある |
| | Erase, Program, Verify, Refresh ダイレクトモードの動作。JTAG ポートの動作によって無効化された PROGRAMN ピンの回避策。SPI フラッシュのプログラムが完了した直後にビットストリームを LatticeXP2 デバイスにブートする必要がある場合は、この動作を実行する。REFRESH = PROGRAMN ピンのトグルと同じ効果がある JTAG 命令 |
| | Program (Erase, Program) ダイレクトモードの動作。ダイレクトモードでベリファイを実行することなく SPI フラッシュデバイスを消去、プログラムする。この動作の VME ファイルのサイズは、ベリファイを行った場合の半分となる。VME ファイルを保存する EPROM のサイズが小さいためにベリファイを実行できない場合は、必然的にこの動作を選択する |
| | Background Program (Background Erase, Program) バックグラウンド・モードで実行されること以外は、上の動作と同じ。この動作を実行するには、LatticeXP2 デバイスのパーシスタンス・ヒューズをオンしておく必要がある |
| | Calculate File Size Checksum ダイレクトモードの動作。ステップ 6 でビットストリーム・ファイルを参照した後に、開始アドレスと終了アドレスに従って、SPI フラッシュデバイスのヒューズのチェックサムを計算する。例: XP2-5E ビットストリームは、セクタ 0、1 及び 2、つまり計 3 つのセクタを使用している。チェックサムは、この 3 セクタのヒューズデータを読み込んで計算される |
| | Calculate Device Size Checksum ダイレクトモードの動作。SPI フラッシュデバイス全体のヒューズのチェックサムを計算する。例: 2MB の SPI フラッシュデバイスは計 4 つのセクタから構成されている。チェックサムは、この 4 セクタ全てのヒューズデータを読み込んで計算される |
| | Scan SPI Flash Device ダイレクトモードの動作。ラティスの SPI フラッシュデバイスデータベースで SPI フラッシュデバイスをスキャンする。一致する結果があれば、そのデバイスはステップ 6 でユーザが入力するメッセージウィンドウに表示される。データベースにない場合は、不明なデバイスと返される。その場合、ユーザは手動で SPI フラッシュデバイス名をブラウズし、ステップ 6 で選択する必要がある |
| 4 | SPI フラッシュデバイス・メニューを起動する |
| 5 | SPI フラッシュデバイスを選択する |
| 6 | ビットストリーム・ファイルをブラウズする 注: LatticeXP2 デバイスはセクタ 0 からブートするため、開始アドレスをセクタ 0 から変更しないこと |
| 7 | OK をクリックして、SPI フラッシュデバイス・メニューを閉じる |
| 8 | OK をクリックして、デバイス選択メニューを閉じる |
| 9 | GO をクリックして、SPI フラッシュデバイスをプログラムする。組み込みプログラムの場合は、このステップをスキップしてステップ 10 に進み、代わりに VME ファイルを生成する |
| 10 | このステップは任意。組み込みプログラムの場合、VME ファイルジェネレータを使用してまず VME ファイルを生成する。次に、生成した VME ファイルを実行して SPI フラッシュデバイスをプログラムし、ispVME ドライバを組み込みシステムに移植する |

LatticeXP2 デバイス内で外部 SPI フラッシュデバイスにアクセスするための SPI ホストとして機能する JTAG ポートのメカニズムについては、本書の最後にある補足資料を参照してください。

パート 2：プライマリパターンを LatticeXP2 内蔵フラッシュにプログラムする

図 17-9 及び表 17-5 に示す手順に従い、ispVM System を使用して JEDEC ファイルを LatticeXP2 の内蔵フラッシュにプログラムします。標準的なシングルブートとデュアルブートのいずれのアプリケーションにおいても、LatticeXP2 デバイスのプログラム方法はまったく同じです。

ミッション・クリティカルなアプリケーションのライブ・フィールド・アップグレードについては、バックグラウンド・モード・プログラミングを強くお勧めします。

内蔵フラッシュと DONE ヒューズがプログラムされた後に、外部 SPI フラッシュデバイスから LatticeXP2 デバイスをコンフィグレーションすることは困難です。以下の 2 つの方法で、デュアルブート機能が正常に動作するか確かめることができます。

1. CFG1 ピンを Low にドライブする。それによって、SPI フラッシュのビットストリームがプライマリパターンとなる
2. ERASE_DONE コマンドを使用して、LatticeXP2 の内蔵フラッシュの DONE ヒューズのみを消去する。ただし、この方法の唯一の欠点として、LatticeXP2 の内蔵フラッシュ全体を再プログラムする必要がある。DONE ヒューズをプログラムするだけでは期待動作しない

図 17-9. ispVM を使用した JEDEC の内蔵フラッシュへのプログラミング

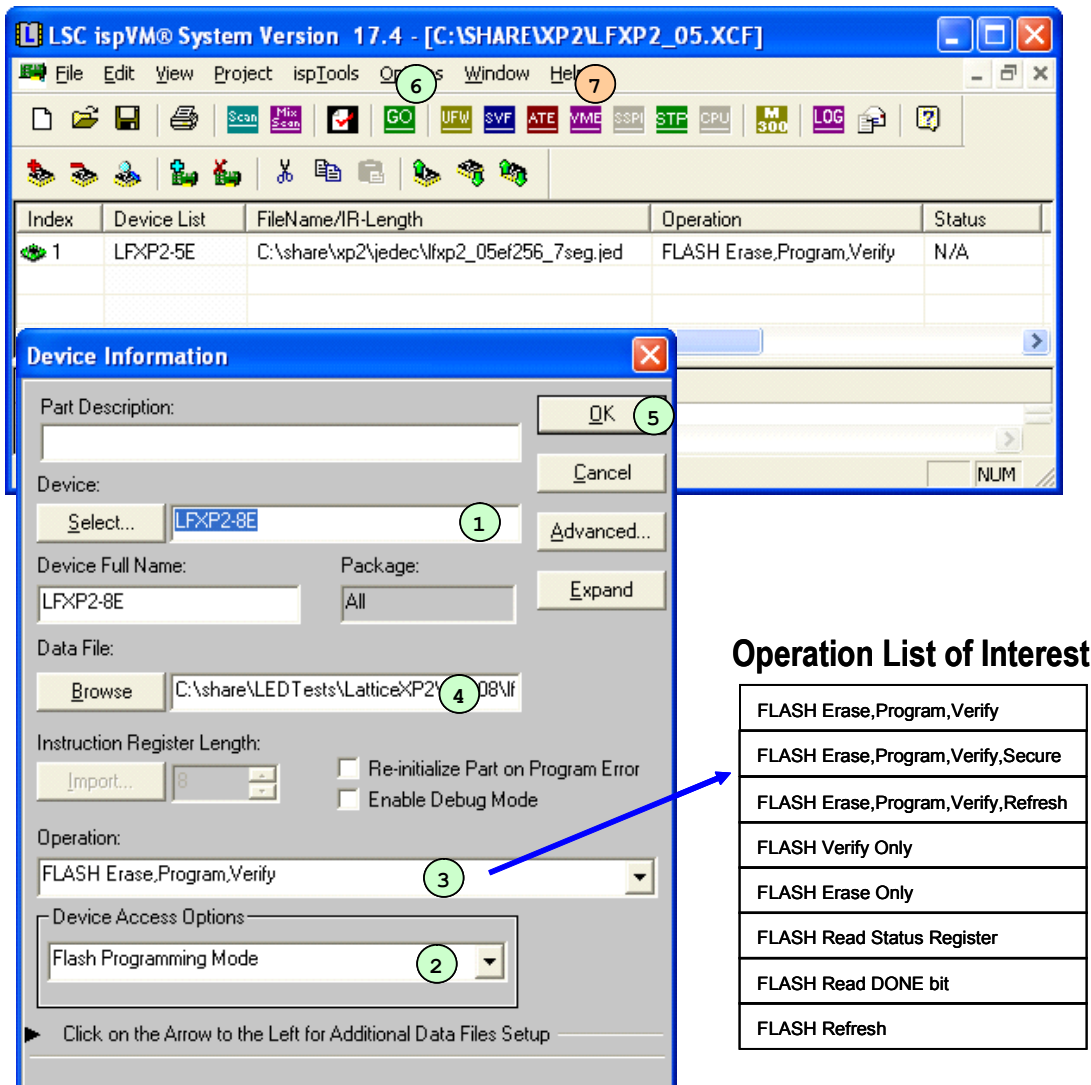


表 17-5. ispVM を使用した JEDEC を LatticeXP2 にプログラムするための手順

| ステップ | 記述 |
|------|--|
| 1 | LatticeXP2 デバイスをブラウズするか選択する |
| 2 | Device Access Options で Flash Programming Mode を選択する |

表 17-5. ispVM を使用した JEDEC を LatticeXP2 にプログラムするための手順

| ステップ | 記 述 | |
|------|---|---|
| 3 | Operation リストからフラッシュのプログラム動作を選択する。(注：既に述べたように、ここで説明する動作は全て JTAG ポート上で実行されるため、PROGRAMN ピンの機能は JTAG ポート上の動作によって無効化される。PROGRAMN ピンを再有効化するためには、LatticeXP2 デバイスの電源を一度切ってから再投入する) | |
| | FLASH Erase,Program, Verify | ダイレクトモードの動作。内蔵フラッシュのプログラム前及びプログラム中に SRAM ヒューズをクリア (消去) することで、LatticeXP2 デバイスは強制的に消去された状態になる。プログラム後にフラッシュヒューズのベリファイが実行され、全て JEDEC ファイルのデータと一致した場合は、フラッシュの DONE ヒューズがプログラムされる。動作の最後に、JTAG ISC_DISABLE 命令を使用して、内蔵フラッシュデバイスのパターンが SRAM ヒューズにロードする |
| | FLASH Erase,Program, Verify,Secure | ダイレクトモードの動作。内蔵フラッシュのプログラム前及びプログラム中に SRAM ヒューズをクリア (消去) することで、LatticeXP2 デバイスは強制的に消去された状態になる。プログラム後にフラッシュヒューズのベリファイが実行され、全て JEDEC ファイルのデータと一致した場合は、フラッシュのセキュリティヒューズと DONE ヒューズがプログラムされる。動作の最後に、JTAG ISC_DISABLE 命令を使用して、内蔵フラッシュデバイスのパターンが SRAM ヒューズにロードする |
| | FLASH Erase,Program, Verify,Refresh | ダイレクトモードの動作。内蔵フラッシュのプログラム前及びプログラム中に SRAM ヒューズをクリア (消去) することで、LatticeXP2 デバイスは強制的に消去された状態になる。プログラム後にフラッシュヒューズのベリファイが実行され、全て JEDEC ファイルのデータと一致した場合は、フラッシュの DONE ヒューズがプログラムされる。動作の最後に、JTAG REFRESH 命令を使用して、内蔵フラッシュデバイスのパターンが SRAM ヒューズにロードする |
| | FLASH Verify Only | ダイレクトモードの動作。内蔵フラッシュのプログラム前及びプログラム中に SRAM ヒューズをクリア (消去) することで、LatticeXP2 デバイスは強制的に消去された状態になる。プログラム後にフラッシュヒューズのベリファイが実行され、全て JEDEC ファイルのデータと一致した場合は、フラッシュの DONE ヒューズがプログラムされる。動作の最後に、JTAG ISC_DISABLE 命令を使用して、内蔵フラッシュデバイスのパターンが SRAM ヒューズにロードする |
| | FLASH Erase Only | ダイレクトモードの動作。内蔵フラッシュのプログラム前及びプログラム中に SRAM ヒューズをクリア (消去) することで、LatticeXP2 デバイスは強制的に消去された状態になる。フラッシュの DONE ビットが消去されるため、フラッシュから SRAM への移行は行われず、デバイスはプログラムされていないモードのままになる。デュアルブート・コンフィグレーションモードが選択され、ゴールデンパターンが外部 SPI フラッシュにある場合、デバイスは外部 SPI フラッシュに含まれたゴールデンパターンからコンフィグレーションする |
| | FLASH Read Status Register | ダイレクトモードの動作。ステータスレジスタが読み込まれ、表示されている間に、LatticeXP2 デバイスはプログラムモードに入る |
| | FLASH Read DONE bit | ダイレクトモードの動作。フラッシュの DONE ビットが読み込まれ、表示されている間に、LatticeXP2 デバイスはプログラムモードに入る |
| | FLASH Refresh | ダイレクトモードの動作。JTAG REFRESH 命令を使用して、パターンを内蔵フラッシュデバイスから SRAM ヒューズにロードする。フラッシュから SRAM への移行前及び移行中に SRAM ヒューズをクリア (消去) することで、LatticeXP2 デバイスは強制的に消去された状態になる |
| 4 | JEDEC ファイルをブラウズする | |
| 5 | OK をクリックして、デバイス選択メニューを閉じる | |
| 6 | GO をクリックして、LatticeXP2 の内蔵フラッシュをプログラムする。組み込みプログラムの場合は、このステップをスキップしてステップ 7 に進み、代わりに VME ファイルを生成する | |
| 7 | このステップは任意。組み込みプログラムの場合、VME ファイルジェネレータを使用してまず VME ファイルを生成する。次に、生成した VME ファイルを実行して LatticeXP2 の内蔵フラッシュをプログラムし、ispVME ドライバを組み込みシステムに移植する | |

参照情報

LatticeXP2 ビットストリーム・ファイル形式

表 17-6 は LatticeXP2 のビットストリームの形式を示しています。ビットストリームは、コメントフィールド、ヘッダ、プリアンブル、そしてコンフィグレーション設定及びデータからなります。

表 17-6. LatticeXP2 ビットストリーム・ファイル形式

| フレーム | 内容 | 記述 |
|--------------------|------------------|----------------------------------|
| Comments | (コメント文字列) | ASCII コメント (引数) 文字列とターミネータ |
| Header | 1111...1111 | 16 ダミービット |
| | 1011110110110011 | 16 ビット標準ビットストリーム・プリアンブル (0xBDB3) |
| Verify ID | | 64 ビットのコマンドとデータ |
| Control Register 0 | | 64 ビットのコマンドとデータ |
| Reset Address | | 32 ビットのコマンドとデータ |
| Write Increment | | 32 ビットのコマンドとデータ |
| Data 0 | | データ、16 ビット CRC、ストップビット |
| Data 1 | | データ、16 ビット CRC、ストップビット |
| ... | ... | ... |
| Data n-1 | | データ、16 ビット CRC、ストップビット |
| End | 1111...1111 | ターミネータビットと 16 ビット CRC |
| Usercode | | 64 ビットのコマンドとデータ |
| SED CRC | | 64 ビットのコマンドとデータ |
| Program Security | | 32 ビットのコマンドとデータ |
| Program Done | | 32 ビットのコマンドとデータ、16 ビット CRC |
| NOOP | 1111...1111 | 64 ビットの NOOP データ |
| End | 1111...1111 | 32 ビット・ターミネータ (全て 1) |

注: この表のデータは参考用です。

ispVM System への SPI フラッシュプログラムの実装

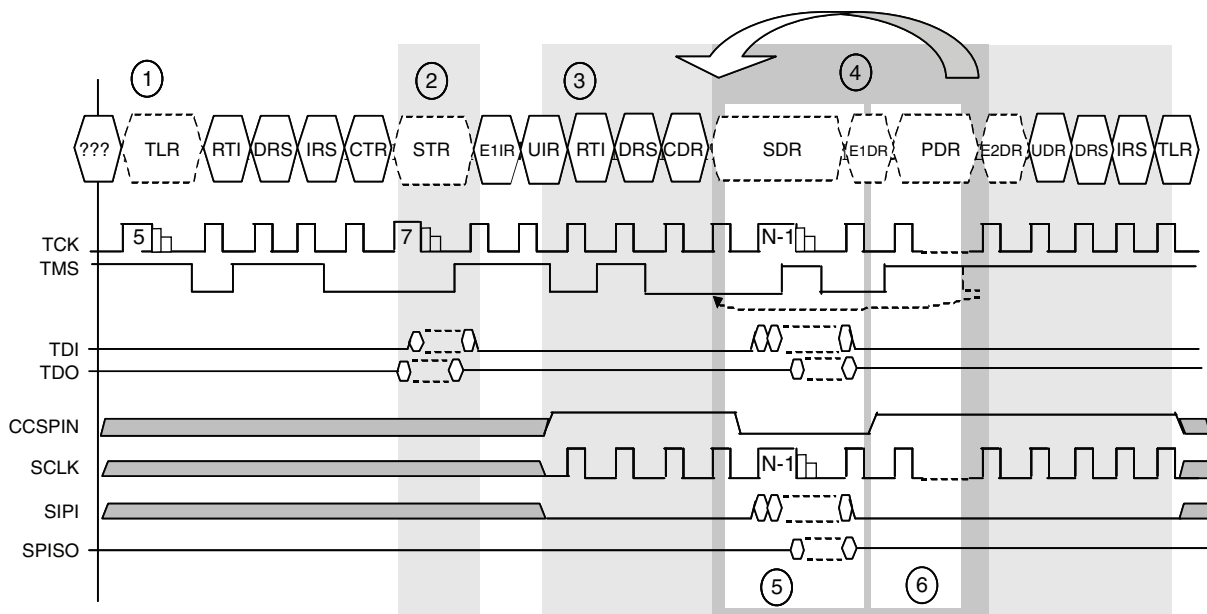
LatticeECP2/3 及び LatticeXP2 FPGA デバイスファミリは、JTAG PROGRAM_SPI 命令をサポートするように設計されています。PROGRAM_SPI を実行すると、SPI フラッシュデバイスの 4 つの SPI インターフェイスが 4 つの JTAG ポート信号に実質的に接続されます。

JTAG ポート経由での SPI フラッシュデバイスのプログラミング動作の詳細は、ispVM System と ispVME に
よって処理されます。図 17-10 に波形図を示します。

表 17-7. ハードワイヤード化 JTAG SPI フラッシュ・プログラミング IP の説明

| Block # | Title | Description |
|---------|------------------|--|
| 1 | Reset JTAG Port | JTAG ステートマシンを既知の状態に設定するための標準的な方法 |
| 2 | Send Instruction | PROGRAM_SPI 命令におけるシフト (OPCODE = 0x0Xa)。a はビット 0 の最初のシフト方向を示す |
| 3 | Connect | 4 ピン JTAG ポートが 4 ピン SPI インターフェイスに接続される。TCK 後の SLCK によって接続されたことを示す |
| 4 | Repeat | セクタごとの消去と、ページごとのプログラムを繰り返し実行する |
| 5 | Shift Data | 1 つのセクタを消去またはプログラムデータの 1 ページをシフトするコマンドを送信する。FPGA は、CSSPIN ピンを Low にドライブし、SCLK、SPID0 及び SISPI をゲーティングすることで応答する |
| 6 | Burn Time Delay | CSSPIN ピンを High にドライブし、SPI フラッシュデバイスが消去またはプログラム動作を開始するように命令する。要求した消去またはプログラム動作の遅延時間を待ってから、完了ステータスをポーリングする。適切なポーリング方法については SPI フラッシュのデータシートを参照のこと |

図 17-10. ハードワイヤード化された JTAG SPI フラッシュプログラム IP の波形図



参考資料

- ・ Lattice テクニカルノート TN1087, [Minimizing System Interruption During Configuration Using TransFR Technology](#)
- ・ Lattice テクニカルノート TN1141, [LatticeXP2 sysCONFIG Usage Guide](#)
- ・ Lattice テクニカルノート TN1142, [LatticeXP2 Configuration Encryption and Security Usage Guide](#)

テクニカルサポート支援

ホットライン :1-800-LATTICE (北米)
+1-503-268-8001 (北米以外)

e-mail: techsupport@latticesemi.com

インターネット :www.latticesemi.com

改訂履歴

| 日付 | バージョン | 改訂内容 |
|----------|-------|------|
| 2010年11月 | 01.0 | 初版 |