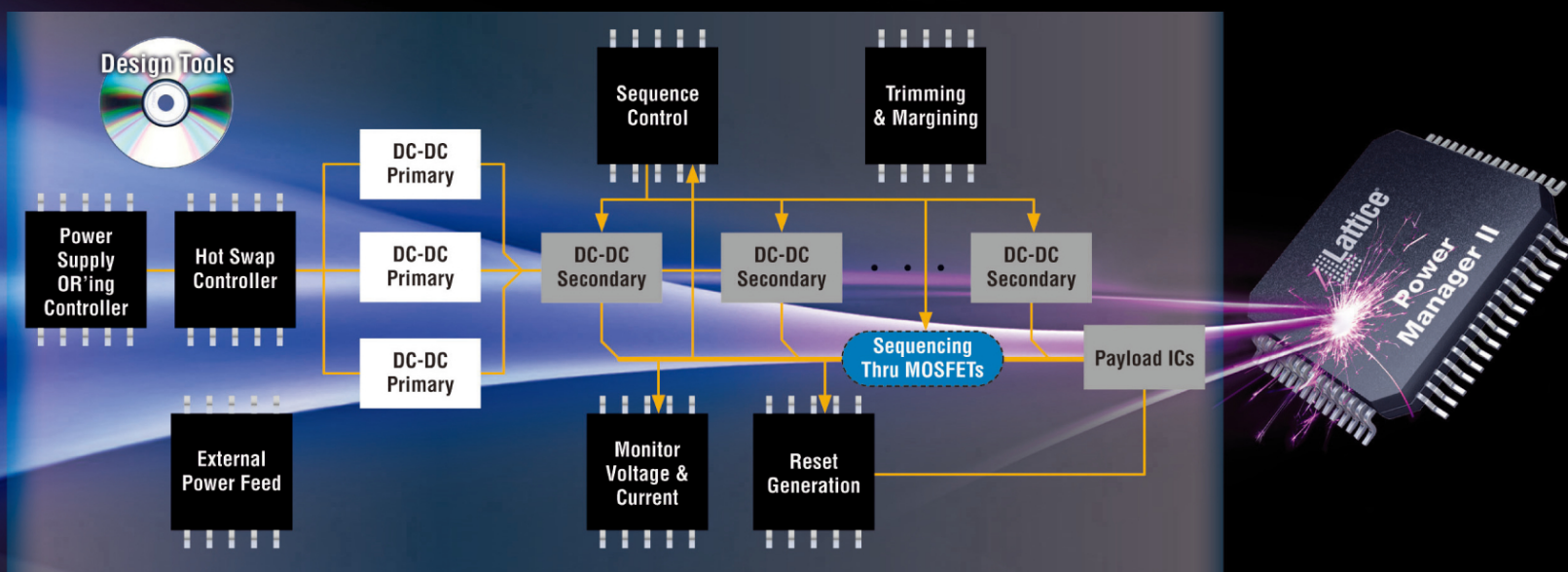


Power 2 You

電源管理・制御の完全ガイド



ボードレベルの電源管理機能

学習できるハウツーには以下が含まれます：

- » 電源管理コストの低減
- » システムの信頼性を向上
- » 回路基板を改版するリスクの軽減

Shyam Chandra

Power 2 You

電源管理・制御の完全ガイド

Shyam Chandra

(日本語版)

2010年10月

Rev.1.1JP

ラティスセミコンダクター株式会社

<http://www.latticesemi.co.jp>



Copyright © 2010 Lattice Semiconductor Corporation, 5555 NE Moore Court, Hillsboro, Oregon 97124, USA. All rights reserved.

Lattice Semiconductor Corporation, L Lattice Semiconductor Corporation (logo), L (stylized), L (design), Lattice (design), LSC, ispPAC, PAC, PAC-Designer, ProcessorPM are either registered trademarks or trademarks of Lattice Semiconductor Corporation or its subsidiaries in the United States and/or other countries. Other product names used in this publication are for identification purposes only and may be trademarks of their respective companies.

Revision History:

April 2010: First Edition

September 2010: Second Edition

While every precaution has been taken in the preparation of this book, the author assumes no responsibility for errors or omissions, or for damages resulting from the use of the information contained herein.

ACKNOWLEDGEMENTS

It takes a team of hardworking professionals to take a collection of documents, ideas, and diagrams and turn them into a finished book. Many thanks to Brian Kiernan, Buck Bartel, Chris Dix, Ed Coughlin, Ed Ramsden, Gordon Hands, Jeff Davis, Jim Krebs, John Alberts, Mark van Wyk, Nancy Knowlton, Shoji Sugawara, Ted Marena, Troy Scott, and Vesa Lauri. The contributions and efforts of these individuals helped to make the dream of this book a reality.

日本語配布版の作成にあたって

・本書内で言及されている各パワーマネージャ・デバイスの仕様値・性能や機能詳細については、それぞれのデータシートを参照し、確認してください。

・本日本語版は Ver.1.1 をもとに作成しています。基本的・重要箇所については同等ですが、意図的に記述を変えている箇所もあります。訳出した日本語に疑義がある場合は、英語版原文を参照してください。なお、原文にはありませんが、補足・注釈が必要と思われる箇所には日本語版のみ [註] として脚注を追加しています。

ISBN: 978-0-578-06604-2

もくじ

第 1 章 はじめに	1-1
1.1 Power 2 You.....	1-1
電源管理とは何か？.....	1-2
典型的なボード用供給電源のアーキテクチャ.....	1-2
1.2 ラティス・パワーマネージャ II ファミリ.....	1-5
1.3 PAC-Designer ソフトウェア.....	1-8
1.4 本章のまとめ.....	1-9
第 2 章 パワーマネージャ II によるソリューションごとの機能概要	2-1
2.1 N 系統の電源監視回路、リセット生成器、およびウォッチドッグ・タイマ.....	2-1
2.2 電源シーケンス制御.....	2-3
柔軟な N 系統の電源シーケンス制御.....	2-3
MOSFET と DC-DC のイネーブルを用いるシーケンス制御.....	2-4
2.3 活線挿抜コントローラ.....	2-6
ソフトスタート・メカニズムを用いる活線挿抜コントローラ.....	2-6
ヒステリシス電流制限メカニズムがある活線挿抜コントローラ.....	2-7
12V/24V 活線挿抜コントローラ.....	2-8
負電源の活線挿抜コントローラ.....	2-9
CompactPCI のボード管理.....	2-11
CompactPCI Express ボード管理.....	2-12
2.4 冗長系電源の管理.....	2-14
2 系統 5V 供給電源の冗長化制御 (MOSFET を使用).....	2-14
MOSFET を用いる N 系統電源の冗長化制御.....	2-15
N 系統 (12V/24V) 電源の冗長化制御.....	2-16
MOSFET による -48V 電源冗長化制御.....	2-18
2.5 給電コントローラ.....	2-19
デュアル -48V 電源の給電コントローラ.....	2-19
3 チャンネルの 6V ~ 24V 給電システム.....	2-20
ダイオード切替えによる 2 系統の +12V と 3.3V 給電制御.....	2-21
2.6 トリミングおよびマージニング.....	2-22
パワーマネージャ II に実装される閉ループトリミングとマージニング機能.....	2-22
第 3 章 リセット生成器、監視回路、およびウォッチドッグ・タイマ	3-1
3.1 はじめに.....	3-1
全電源を監視することによる高信頼性のリセット生成.....	3-2
監視用 IC の構成部品.....	3-3
システム機能への監視精度の影響.....	3-4
劣った検出精度は電源許容範囲の余裕を減少させる結果に.....	3-6
1% 精度の監視用 IC を用いる.....	3-6
故障検出の遅延の影響.....	3-6
故障検出遅延が 1msec の場合.....	3-7
故障検出遅延が 50 μ sec の場合.....	3-7
ADC とマイクロコントローラを用いることで構成された監視回路は遅い.....	3-7

もくじ

信頼性の向上に寄与する他の要素.....	3-8
3.2 N 系統の電源監視回路、リセット生成器、およびウォッチドッグ・タイマ.....	3-10
回路動作.....	3-10
アルゴリズムの並列実行論理式.....	3-11
この回路のプログラマブル機能.....	3-11
ProcessorPM-POWR605 に加えることができる付加的な機能.....	3-11
適切なパワーマネージャ II.....	3-11
第 4 章 供給電源のシーケンス制御.....	4-1
4.1 はじめに.....	4-1
相反するシーケンス要件を持つ供給電源のシーケンス制御.....	4-1
シーケンス制御アルゴリズムをより複雑にする他の要因.....	4-2
ボードに搭載される電源の数は増加傾向.....	4-2
電源のいずれかが起動時に故障した場合はシーケンス制御を中止する.....	4-2
電源遮断シーケンス.....	4-3
電源投入時の 2 電源間の最小間隔.....	4-3
ボードデバッグ段階に確認された変更点のシーケンス制御への反映.....	4-3
供給電源のランプレート制御.....	4-3
非アクティブな期間は節電のために未使用の電源ドメインを遮断する.....	4-3
4.2 ラティス・パワーマネージャ II デバイスを用いる柔軟な N 系統の電源シーケンス制御.....	4-4
電圧はシーケンス制御中やその後に監視される.....	4-4
N 系統電源の閉ループ・シーケンス制御アルゴリズム.....	4-5
故障監視アルゴリズムのある N 系統電源の閉ループ・シーケンス制御.....	4-6
LogiBuilder 命令のシーケンス制御手法への適用.....	4-7
パワーマネージャ II ベースの電源シーケンス制御の利点.....	4-8
パワーマネージャ II に集約することができる付加的な電源管理機能.....	4-8
適用可能なパワーマネージャ II デバイス.....	4-9
4.3 MOSFET と DC-DC コンバータのイネーブル信号を用いるシーケンス制御.....	4-9
回路動作.....	4-9
電源シーケンス制御アルゴリズム.....	4-9
適用可能なパワーマネージャ II デバイス.....	4-11
第 5 章 活線挿抜コントローラ.....	5-1
5.1 活線挿抜コントローラとは？.....	5-1
活線挿抜回路設計の考察.....	5-2
5.2 パワーマネージャ II デバイスを用いた正電源の活線挿抜コントローラ.....	5-3
ソフトスタートを用いる活線挿抜コントローラ.....	5-3
回路動作.....	5-3
ソフトスタート・アルゴリズム.....	5-3
この回路のプログラマブルな機能.....	5-4
その他のボード電源管理機能を ispPAC-POWR1014A に集約.....	5-4
適用可能なパワーマネージャ II デバイス.....	5-4
ヒステリシス電流制限メカニズムがある活線挿抜コントローラ.....	5-4
ヒステリシス制御メカニズムの動作原理.....	5-5
短絡状態での MOSFET の遮断.....	5-6
ヒステリシス活線挿抜制御アルゴリズム.....	5-6
シーケンス制御.....	5-7
この回路のプログラマブルな機能.....	5-7
ispPAC-POWR1014A に集約が可能なその他のボード電源管理機能.....	5-7
適用可能なパワーマネージャ II デバイス.....	5-7
活線挿抜コントローラにパワーマネージャ II デバイスを用いる利点.....	5-7
12V/24V 活線挿抜コントローラ.....	5-8

活線挿抜 MOSFET の安全動作領域内への制限	5-8
12V 活線挿抜コントローラ・アルゴリズム	5-11
シーケンス制御	5-12
この回路のプログラマブルな機能	5-13
ispPAC-POWR1014A に集約できるその他のボード電源管理機能	5-13
適用可能なパワーマネージャ II デバイス	5-13
5.3 負電源への活線挿抜コントローラの実装	5-14
MOSFET の安全動作領域動作を維持する突入電流の制御	5-15
活線挿抜コントローラのアルゴリズム	5-16
シーケンス制御	5-16
-48V 活線挿抜コントローラのカスタマイズ	5-16
適用可能なパワーマネージャ II デバイス	5-17
5.4 CompactPCI ボード管理	5-17
CompactPCI ボードの管理アルゴリズム	5-17
この回路のプログラマブルな機能	5-18
適用可能なパワーマネージャ II デバイス	5-19
CompactPCI Express ボード管理	5-19
この回路のプログラマブルな機能	5-19
適用可能なパワーマネージャ II デバイス	5-19

第 6 章 供給電源冗長化コントローラ 6-1

6.1 電源冗長化とは？	6-1
6.2 MOSFET 冗長化回路設計時の難題	6-2
6.3 MOSFET を用いる +5V 供給電源冗長化回路	6-3
MOSFET によって冗長化を実装するためのアルゴリズム	6-4
この回路のプログラマブルな機能	6-4
ispPAC-POWR1014A に集約することができる追加機能	6-4
適用可能なパワーマネージャ II デバイス	6-4
6.4 MOSFET を用いる 3 系統以上の 5V 電源用の供給電源冗長化	6-5
MOSFET による N チャネル冗長化の実装	6-6
この回路のプログラマブルな機能	6-7
ispPAC-POWR1014A に集約することができる付加的な電源管理機能	6-7
適用可能なパワーマネージャ II デバイス	6-7
6.5 N 系統 (12V/24V) 電源の冗長化	6-7
チャージポンプ・ブロックの動作原理	6-7
この回路のプログラマブルな機能	6-10
ispPAC-POWR1014A に集約できる付加的な電源管理機能	6-10
適用可能なパワーマネージャ II デバイス	6-10
6.6 MOSFET による -48V 電源冗長化	6-10
この回路のプログラマブルな機能	6-11
ispPAC-POWR607 デバイスに集約できる追加機能	6-11
適用可能なパワーマネージャ II デバイス	6-12

第 7 章 給電コントローラ 7-1

7.1 給電コントローラとは？	7-1
7.2 デュアル -48V 電源給電	7-1
回路動作	7-2
アルゴリズム	7-3
この回路のプログラマブルな機能	7-4
適用可能なデバイス	7-4
7.3 3 チャネルの +12V 給電システム	7-4
回路動作	7-4

もくじ

デュアル電流レベル・ヒステリシス制御.....	7-6
各給電チャンネル用のアルゴリズム.....	7-6
給電回路のプログラマブルな機能.....	7-7
他のペイロード電源管理機能を ispPAC-POWR1014A に集約.....	7-7
適用可能なパワーマネージャ II デバイス.....	7-7
7.4 MOSFET 冗長化がある 2 チャンネルの +12V および 3.3V 給電.....	7-7
回路動作.....	7-8
動作記述.....	7-9
ispPAC-POWR1014A (MicroTCA) 給電アルゴリズム.....	7-9
この回路のプログラマブルな機能.....	7-10
その他の拡張機能.....	7-10
適用可能なパワーマネージャ II デバイス.....	7-10

第 8 章 マージニングとトリミング8-1

8.1 電圧マージニングとは？.....	8-1
8.2 電圧マージニングの実装.....	8-2
8.3 トリミングとは？.....	8-3
供給電源トリミングを必要とする主用途.....	8-3
8.4 トリミングおよびマージニングの動作原理.....	8-4
パワーマネージャ II のトリムセル・アーキテクチャ.....	8-5
パワーマネージャ II は複数の TrimCell を集積.....	8-6
TrimCell の閉ループトリム動作モード.....	8-7
閉ループトリムとマイクロコントローラを用いる閉ループ・マージニング.....	8-9
DC・DC コンバータが接続されたパワーマネージャ II とのインターフェイス.....	8-9
PAC-Designer ソフトウェアを用いたトリミングおよびマージニング・ネットワークの設計.....	8-11
DC・DC コンバータ・ライブラリエントリの作成.....	8-12
Trimcell に接続された DC・DC コンバータ用の抵抗ネットワークの設計.....	8-21

第 9 章 パワーマネージャ II の設計ツール9-1

9.1 PAC-Designer、電源管理設計ツール.....	9-1
ソフトウェアベースのプログラマブル・ハードウェア設計の恩恵.....	9-2
マイクロコントローラによるファームウェアベースの実装に対するパワーマネージャ II の利点.....	9-2
9.2 PAC-Designer の概要.....	9-3
設計仕様からのパワーマネージャ II デバイスの選択.....	9-3
パワーマネージャ II の設計例.....	9-5
設計フロー.....	9-6
9.3 設計例のリソース.....	9-7
9.4 ispPAC-POWR1014A デバイスを用いた PCI Express アドインカードの電源管理設計.....	9-7
1. 新規デザインの作成 / オープン.....	9-7
2. アナログ入力信号の構成.....	9-9
3. デジタル入力の構成.....	9-10
4. デジタル出力ピンの構成.....	9-11
5. HVOUT ピンの構成.....	9-12
6. タイマ値の構成.....	9-13
7. I ² C アドレスの構成.....	9-14
8. LogiBuilder ツールを用いた電源管理アルゴリズムの実装.....	9-14
9. PCI Express を例とした LogiBuilder コード.....	9-17
10. 設計のコンパイル.....	9-19
11. 制御とスーパーバイザ論理のシミュレーション.....	9-19

はじめに

1.1 Power 2 You

本書は図 1-1 と図 1-2 の 3D (3 次元) ブロックで示されるような、回路基板の一般的な電源管理機能を実装する際の、技術的な詳細と設計時の考慮すべき事項について記述します。また本書ではこれらの機能に対して回路基板特有の電圧、電流、および制御環境にカスタマイズすることができるような、費用効率の良いソリューションについても一般化して記述します。

図 1-1 と図 1-2 の 3D (3 次元) ブロックは第二章の各セクションにハイパーリンクされていますが、その中では特有の電源管理機能に対して複数の回路オプションについて記述しています。それぞれの回路オプションはまた、関連する章の詳細記述にハイパーリンクしています [註¹]。

既にラティスのパワーマネージャ II デバイスを良く理解しており、デバイスと電源管理機能に関するソリューションを見つける必要がある場合のために、以下の構成をとっています。

- A. 図 1-1 で意図する電源管理ブロックをクリックします
→ 選択された電源管理機能に対して複数の回路オプションを記述する、第二章の該当セクションへジャンプします
- B. ジャンプ先セクション末尾にある、該当回路に関するリンクをクリックします
→ その回路を詳述するセクションへジャンプします

ボードの電源管理ブロックや設計基準、及び回路オプションに関する一般的な事項について確認することをお望みであれば、本章を読み進んでください。この場合は第一章を読んだ後に第二章を読み飛ばし、第三章以降を続けて読むのが良いでしょう。

1. 以下全てのリンクは eBOOK (pdf) のみです。

電源管理とは何か？

いかなる回路基板でも、一つ以上の入力電源（または一次電源）から動作します。そしてあらゆる回路基板は、ASIC や CPU、FPGA などのような多くの IC を用いて一つ以上の機能を実行します。これらの IC はペイロード IC と呼ばれますが、これらに供給するための複数の電源は、一次および二次電源と呼ばれる、ボードに実装される電源回路を用いて入力電源から生成されます。本書において “電源管理” という用語は、回路基板に実装されるすべての供給電源制御機能を含みます。通常、入力供給電源は活線挿抜制御や冗長電源系制御などの電源管理機能によって制御されます。ペイロード側の電源管理機能には、シーケンス制御、監視、管理信号の生成、トリミング、およびマーージニング（マージンの検証・確認）が含まれます。

典型的なボード用供給電源のアーキテクチャ

回路基板は大まかに二つのタイプに分類することができます。

1. 電源が常時オンであるバックプレーンから入力電源を取り出すボードで、電源を切らずにバックプレーンに挿入することで電力を得るタイプ。これらは図 1-1 で示されるように活線挿抜対応のボードと呼ばれます。
2. 電力を外部の供給電源から得るボードで、ボードが接続された後に電源がオンされ、ボードを外す前に電源をオフにするタイプ。これらは活線挿抜非対応のボードと呼ばれます。

重要な電力供給管理機能のすべてを実装するためのソリューションがあり、本章ではそれらの背景も学習できます。

図 1-1 活線挿抜対応の回路基板における電源管理

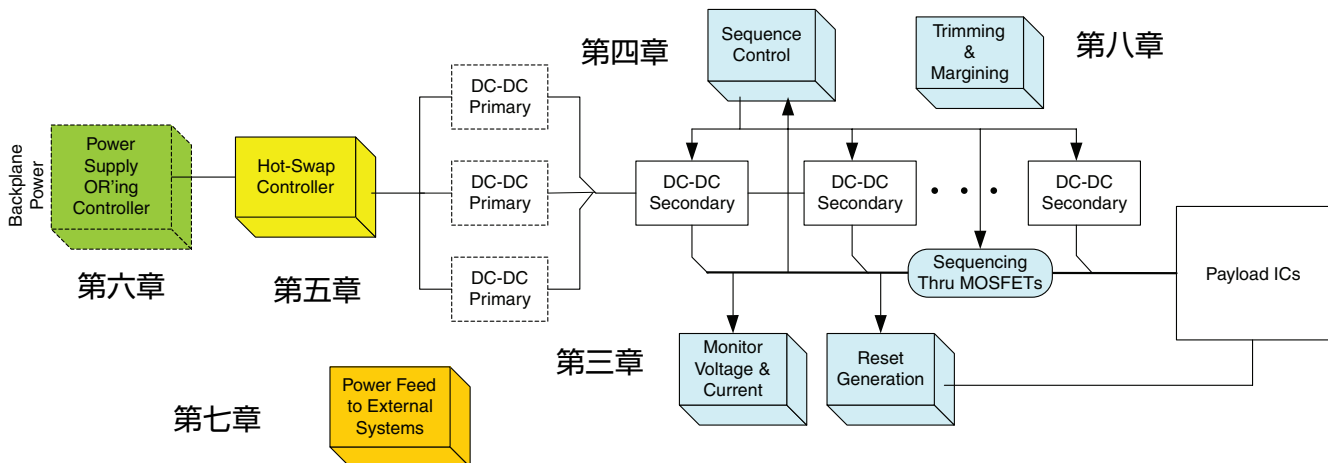


図 1-1 は、3D で表す一般的な電源管理ブロックよりなる、回路基板の供給電源アーキテクチャについて図示しています。活線挿抜対応のボードは、バックプレーンの一つ以上の供給源から電力を取り出します。バックプレーンからの供給源が複数系統以上ある可能性もあり、その場合は一方の供給に問題があるときでもこれらのボードは動作が可能です。図 1-1 におけるバックプレーン電源はまた、一次電源とも呼ばれます。

テレコミュニケーションやデータ通信システムなど、高い稼働率を必要とするシステムのバックプレーンには、オンライン電源と共にスタンバイ電源と呼ばれる冗長系電源があります。また、冗長電源コントローラとも呼ばれる供給電源 OR'ing（以下 “冗長化”）コントローラは、電力をボードに取り出すためにオンライン電源とスタンバイ電源から選択します（「2.4 冗長系電源の管理」参照）。

同一のバックプレーンに挿入されている他のボードの動作を妨げることなくボードを挿抜するために、活線挿抜コントローラ機能がそれぞれの回路基板に実装されます（「[2.3 活線挿抜コントローラ](#)」参照）。いくつかの場合、活線挿抜コントローラからの電源出力は、[図 1-1](#) で “DC-DC Primary” として示されている 1 個以上の DC - DC コンバータに供給されます。

一次電源は、二次電源と呼ばれる 1 系統以上のペイロード用供給電源を得るために用いられ、[図 1-1](#) では “DC-DC Secondary” として示されています。またこれらの二次電源は DC - DC コンバータ・イネーブル信号や MOSFET によって、それらの順序を制御する必要があるかもしれません。これらの供給電源の順序はシーケンス・コントローラによって制御されます（「[2.2 電源シーケンス制御](#)」参照）。全電源の順序制御が完了後に、リセット生成器が CPU へのリセット信号を解放することによって、ボードは通常動作を開始します（「[2.1 N 系統の電源監視回路、リセット生成器、およびウォッチドッグ・タイマ](#)」参照）。その結果、故障検出のための電圧や電流の監視と、ボード遮断またはリセット生成機能の動作が開始されます（「[2.1 N 系統の電源監視回路、リセット生成器、およびウォッチドッグ・タイマ](#)」参照）。さらに、これら電圧低下故障かどうかを監視する場合には、電源とモニタデバイス間のグラウンド電圧差など、他の誤差要因を考慮に入れて、その補償を考慮すべきです。例えば 1.2V の故障レベルは $1.2V * 5\% = \pm 60mV$ です。回路基板上で異なる点のグラウンド電圧差は、最大 20mV から 30mV であるかもしれません。誤差を補うためには、[図 3-9](#) で示される差動検出が使用されます。

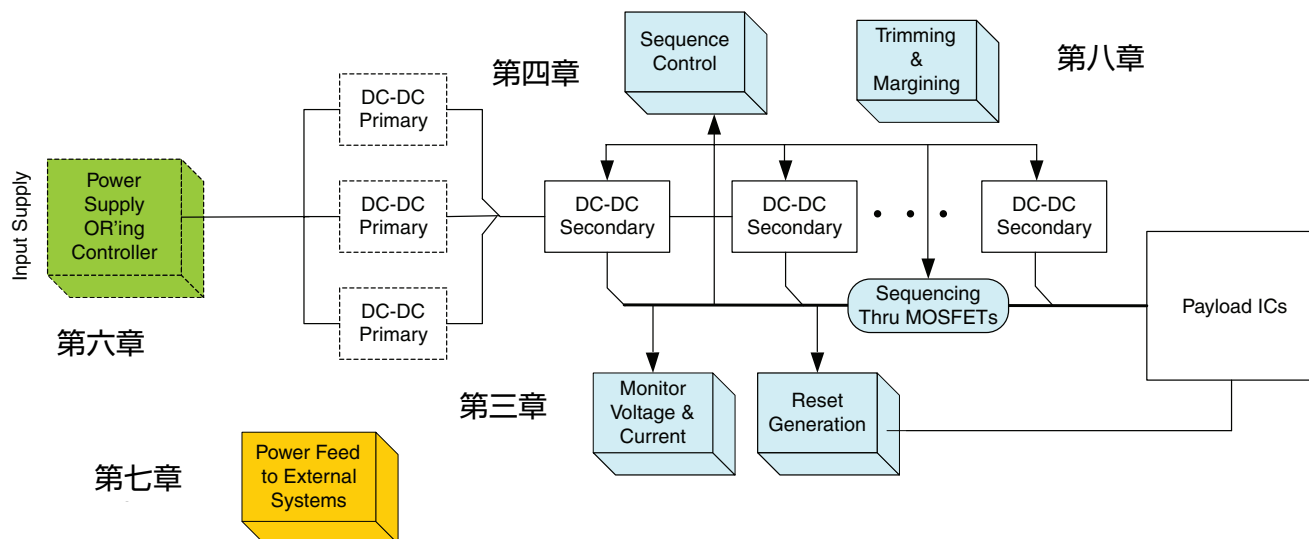
最近の多くの IC が必要とするのは、低いコア電圧（1.2V かそれ以下）で許容範囲は狭く、また大きい電流容量（10A かそれ以上）です。これらの厳しい電源要件を満たすために、しばしば電源トリミング・コントローラが必要となります（「[2.6 トリミングおよびマーージニング](#)」参照）。

品質保証目的のために、ボードの（電圧と温度条件）4 点コーナートテストでは、しばしば電源のマーージニング（マーージンの確認・検証）が必要となります。これらのボードではマーージニング・コントローラを用います（「[2.6 トリミングおよびマーージニング](#)」参照）。

GSM 基地局やマイクロ波通信装置用ボード、また活線挿抜可能なメザニン（mezzanine）カードに対応するボード（AMC）などの幾つかのアプリケーションでは、RRH（Remote Radio Head）や屋外アンテナなどの外部のユニット、または AMC に電力を供給することが必要かもしれません。これらの機能に対応するために、給電コントローラが必要です（「[2.5 給電コントローラ](#)」参照）。

[図 1-2](#) は活線挿抜非対応の回路基板における電源管理要件を示します。これらのボードは[図 1-2](#) で示されるように一次電源および二次電源の管理・コントローラを必要とします。これらの活線挿抜非対応のボードに適用されない唯一の一次側電源管理機能は、活線挿抜制御です。活線挿抜非対応のボードでよいシステムには、通常、ピザボックス形のルータ、パーソナル・コンピュータ、および超音波診断システムなどが含まれます。

図 1-2 活線挿抜非対応の回路基板における電源管理



ボードの供給電源の管理機能を実装するために、一般的には一次側・二次側いずれも簡便な単一機能の IC が用いられます。入力側では電源電圧とボード電源、および他の制御仕様に依存して、図 1-1 で示される各機能には異なる IC が必要です。二次電源としては、複雑なペイロード IC が搭載される最近の回路基板では、通常 5 系統以上が必要です。従ってこれらのボードにおける監視とシーケンス制御、およびリセットの生成には複数の単機能 IC が必要になります。

同時に、特定システムでは電源管理セクションに複数タイプの単機能電源管理 IC を必要とします。この結果、部品点数が増えることで在庫管理コストやボード組立て工賃を押し上げ、それに伴いボードとしての信頼性の低下もたらします。

電源の数、および電源管理機能の数に応じて、回路基板における電源管理部分のコストは膨らみます。低コストの単機能電源管理 IC は、一般的に故障の監視精度はそれほど高くありませんので、後述のように結果的にボードの信頼性低下をもたらします。

二次電源の管理 IC 数を減らすため、そして特定のボード要件に適合させるために、マイクロコントローラの ADC を用いて供給電源を監視し、ソフトウェア処理を行うような設計もみられます。これらのマイクロコントローラでは電源管理機能のために何百行ものプログラムステップを実行するために、電源の故障に回答することができないくらい遅く (5msec ~ 10msec)、またソフトウェアフローを監視するためにウォッチドッグ・タイマを必要とするなど、信頼性に欠けます。マイクロコントローラを使用することの別の理由としては、回路基板のレイアウトを変更するのではなく、単にソフトウェアを更新することで電源管理への変更に対応できるためです。しかしながら、大多数の会社ではソフトウェア・リリース時に厳しい管理を適用しているため、ほとんどの場合でソフトウェアの変更は回避されます。

理想的な電源管理ソリューションは以下の特質を持っています。

1. 低コストで部品点数が少なく、また個別のボード電源管理要件を満たすための自由度が高いこと
2. 電源故障の監視精度が上がることによって、ボードの信頼性が向上すること
3. プログラマビリティによって、ボード電源管理のための回路基板を再レイアウト (改版) するリスクが減少すること

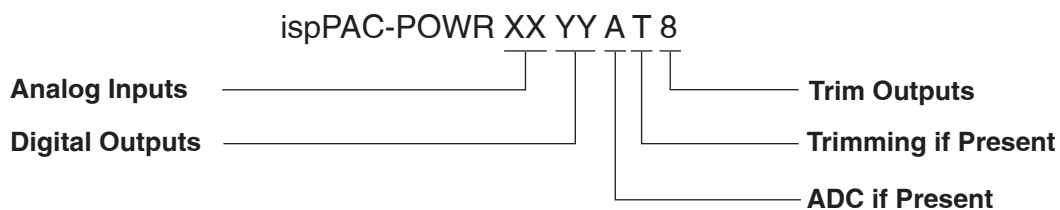
本書ではラティスのパワーマネージャII デバイスでこれらの機能のすべてがどのように集約できるかを詳述します。これらのデバイスはインシステム・プログラミングが可能なので、各デバイスがさまざまな回路基板機能の要件を満たすように、更新することができます。

1.2 ラティス・パワーマネージャIIファミリ

パワーマネージャII ファミリには 5 デバイスよりなるメンバーがあり、それらは ispPAC-POWR1220AT8、ispPAC-POWR1014A、ispPAC-POWR1014、ispPAC-POWR607、および ispPAC-POWR605 (ProcessorPM-POWR605) です [註²]。

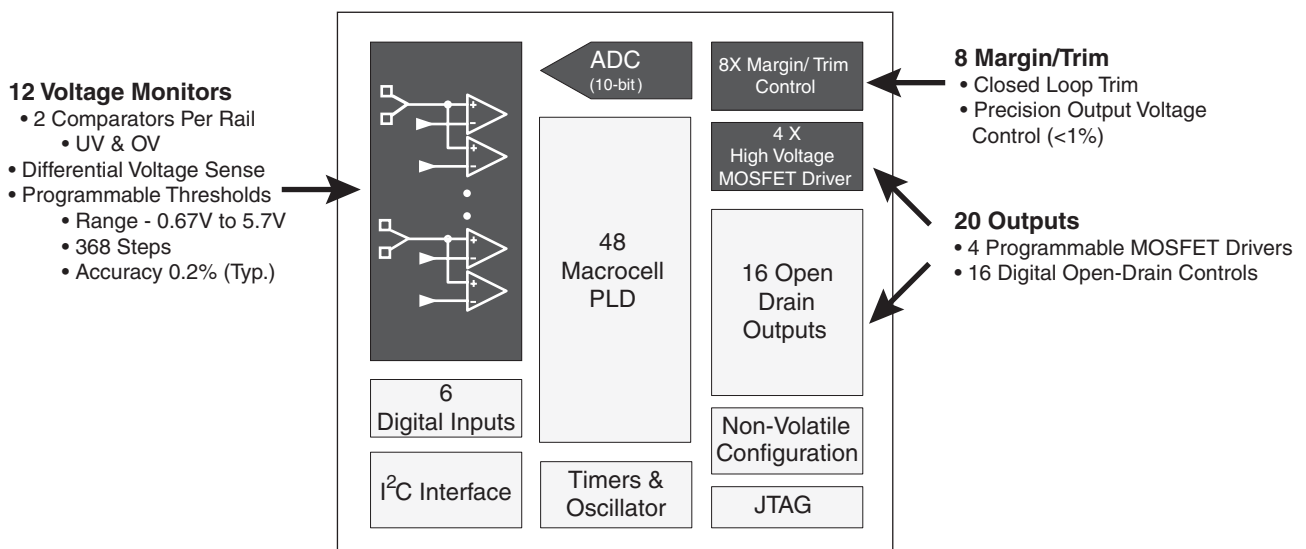
図 1-3 はラティス・パワーマネージャII 製品ファミリの品番に関する命名規則を示します。

図 1-3 ラティスのパワーマネージャII ファミリ部品番号は I/O リソース数を表す



最も大きいデバイスの ispPAC-POWR1220AT8 は、複雑な電源管理機能を実装するために使用できるのに対して、最も小さいデバイス ProcessorPM-POWR605 は、多種多様なマイクロプロセッサや DSP 用の電源管理機能を実装するために使用できます。すべてのパワーマネージャII デバイスが JTAG インターフェイスを介してインシステム・プログラミングが可能です。ラティスのウェブサイトから無料でダウンロードできる PAC-Designer ソフトウェアツールを用いることで、電源管理アルゴリズムを設計することができます。

図 1-4 ispPAC-POWR1220AT8 デバイスのブロック図



2. これ以外に ispPAC-POWR6AT6 もある

Power 2 You: 電源管理・制御の完全ガイド

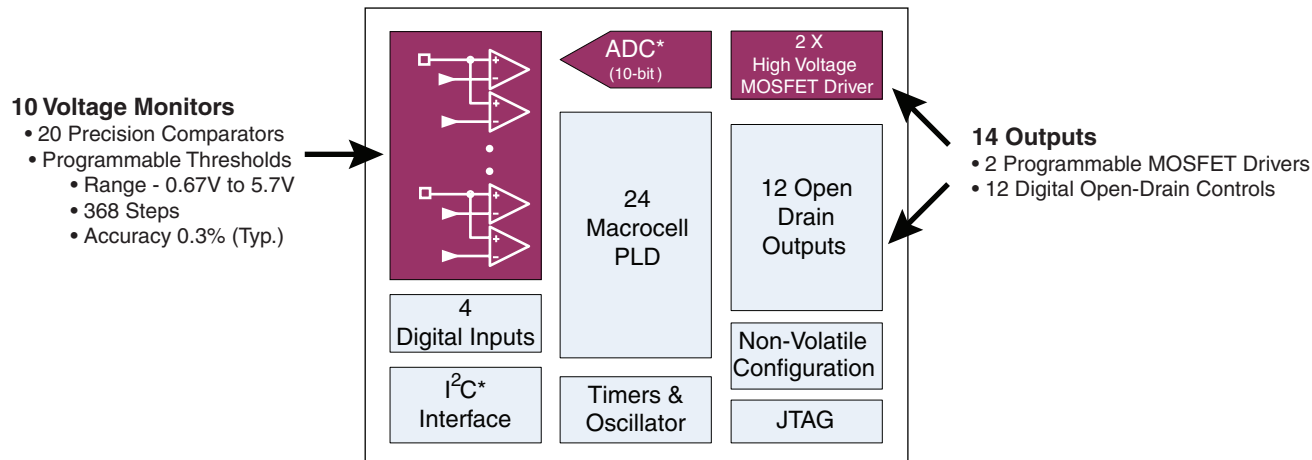
図 1-4 はファミリ内で最も大きいメンバーである ispPAC-POWR1220AT8 のアーキテクチャを示します。このデバイスは、オンチップの 48 マクロセル CPLD を用いることで、最大 12 系統の供給電源を管理して、(4 本のプログラマブル MOSFET ドライブ出力を含む) 20 本の出力を生成することができます。オンチップの 10 ビット ADC を用いることで、I²C インターフェイスを介してすべての供給電圧を測定することができます。また、このデバイスは最大 8 個までの DC - DC コンバータのトリミングとマージニングに対応します。4 本のオンチップ・プログラマブル・ハードウェアタイマは、電源管理アルゴリズムで用いられる様々な時間管理を実現できます。

ispPAC-POWR1220AT8 デバイスは以下の電源管理機能を集積することができます。

- 供給電源の冗長化制御
- 外部システムへの正電源の給電コントローラ
- 正の電源電圧のための活線挿抜コントローラ
- シーケンス制御
- 電圧と電流の監視
- リセット生成
- トリミングとマージニング
- ウォッチドッグ・タイマ

図 1-5 はラティス・パワーマネージャII の次のファミリメンバー、ispPAC-POWR1014 と ispPAC-POWR1014A のブロック図です。

図 1-5 ispPAC-POWR1014、ispPAC-POWR1014A デバイスのブロック図



* ADC and I²C Interface in ispPAC-POWR1014A only.

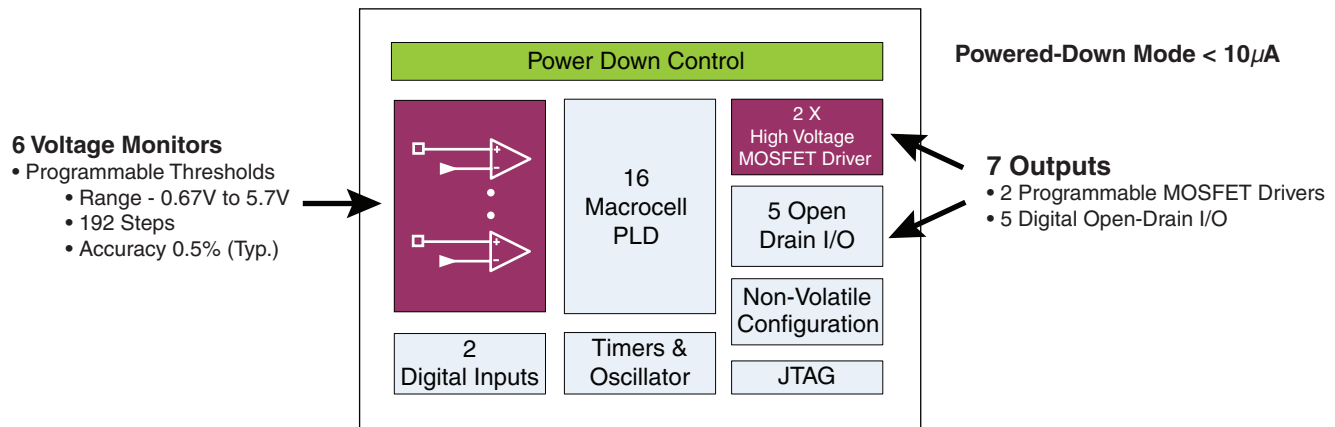
これらのデバイスは、オンチップの 24 マクロセル PLD ブロックをコアとしており、最大 10 系統の供給電源を監視して (2 本のプログラマブル MOSFET ドライバを含む) 14 本の電源管理出力を生成することができます。ispPAC-POWR1014A デバイスは、すべての供給電圧を測定するために 10 ビット ADC と I²C インターフェイスを集積しています。4 本のオンチップ・プログラマブル・ハードウェアタイマは、電源管理アルゴリズムで用いられる様々な時間遅延を実現することができます。

ispPAC-POWR1014/A デバイスには以下の電源管理機能を集約することができます。

- 供給電源の冗長化制御
- 正の電源電圧の活線挿抜コントローラ
- 正電源、または負電源の給電コントローラ
- シーケンス制御
- 電圧と電流の監視
- リセット生成
- ウォッチドッグ・タイマ

図 1-6 に示す ispPAC-POWR607 デバイスは、オンチップ 16 マクロセル PLD を用いることで最大 6 系統の供給電源を監視し、(2 本の MOSFET ドライバを含む) 7 本の出力を持っています。4 本のオンチップ・プログラマブル・ハードウェアタイマは、電源管理アルゴリズムで用いられる様々な時間管理を実現できます。

図 1-6 ispPAC-POWR607 デバイスのブロック図

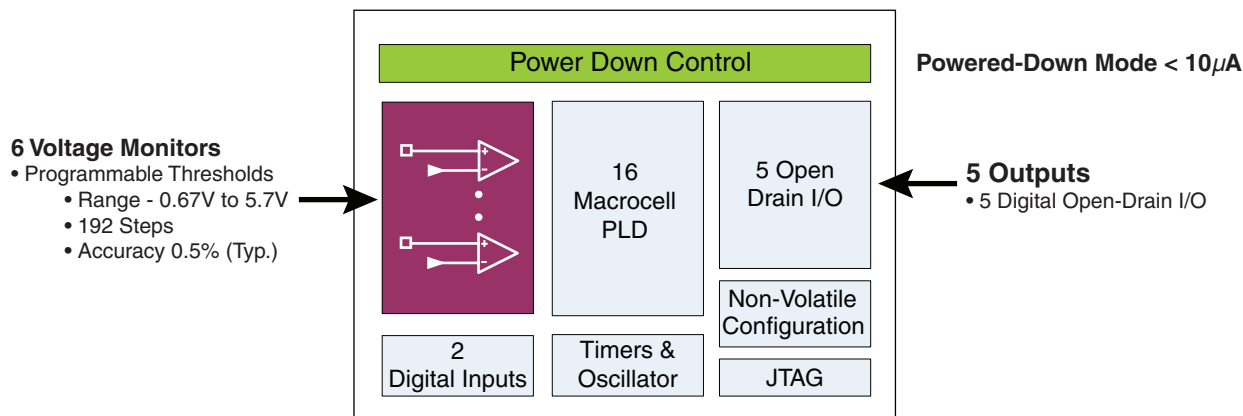


特に用意されているデジタル信号入力を制御することで、このデバイスはパワーダウンできます。以下の機能に ispPAC-POWR607 デバイスを使用することができます。

- 供給電源の冗長化制御
- 正の電源電圧の活線挿抜コントローラ
- 負の供給電源の活線挿抜コントローラ
- 正または負の給電コントローラとシーケンス制御
- リセット生成
- ウォッチドッグ・タイマ

図 1-7 は ProcessorPM-POWR605 デバイスを示し、これはどのようなタイプのプロセッサや DSP 用にも電源管理機能を理想的に実装できます。このデバイスはオンチップ 16 マクロセル PLD によって制御される最大 6 系統の電源を監視し、5 本の出力を生成することができます。4 本のオンチップ・プログラマブル・ハードウェアタイマは、電源管理アルゴリズムで用いられる様々な時間管理を実現できます。

図 1-7 ProcessorPM-POWR605 デバイスのアーキテクチャ



以下の機能を集積するために ProcessorPM-POWR605 デバイスを使用することができます。

- 電圧監視
- リセット生成
- ウォッチドッグ・タイマ

1.3 PAC-Designer ソフトウェア

ボード特有の電源管理は PAC-Designer ソフトウェアを用いることで実装されます。PAC-Designer は直感的で、ユーザフレンドリなソフトウェア・ツールセットで、以下の機能があります。

1. 特定の電源のために、監視する電圧の閾値を設定すること
2. オンオフ時のランプレートを満たすように、MOSFET ドライバの特性を構成すること
3. LogiBuilder によって活線挿抜コントローラ、シーケンサ、リセット生成器などの電源管理機能を実装すること（簡易で構成可能なシーケンス・ステップと論理式）を用いる
4. Aldec 社や ModelSim などの論理シミュレータを用いるか、またはソフトウェアに組み込まれている波形シミュレータを用いて、電源管理アルゴリズムをシミュレーションすること
5. トリミングおよびマージニング機能を実装するための、パワーマネージャ II デバイスと DC - DC コンバータ間に接続される抵抗値を計算すること
6. 標準のプログラミング方法を用いてデバイスを構成するための、JEDEC ファイルと SVF ファイルを生成すること

1.4 本章のまとめ

本書には全部で9章あります。第三章から第八章は、それぞれの電源管理機能について詳細に扱っています。

第一章（はじめに）は、電源管理機能と伝統的な電源管理ソリューションの欠点をまとめており、そしてラティス電源管理製品の概要を紹介しています。

第二章（パワーマネージャIIによるソリューションごとの機能概要）は、図 1-1 で示される電源管理機能のそれぞれについてのソリューションすべてのまとめです。

第三章（リセット生成器、監視、およびウォッチドッグ・タイマ）は、複数の供給電源がある回路基板で、電圧監視とリセット生成で避けるべき一般的な落とし穴の幾つかを特定します。

第四章（供給電源のシーケンス制御）では、電源シーケンス制御の柔軟性の高い構成がどのようなソリューションとして実現できるかを示します。また、ソフトウェアベースのシーケンス制御手法を記述します。

第五章（活線挿抜コントローラ）では、活線挿抜コントローラの実装と、MOSFET を選択するための設計上の考察を記述します。また、活線挿抜コントローラ・ソリューションを正電源と負電源、および複数のバックプレーン電源についても示します。

第六章（供給電源電源冗長化コントローラ）は、設計上の考慮事項を記述し、そしてN系統の正・負電源冗長化ソリューションを記述します。

第七章（給電コントローラ）は、給電コントローラの実装と MOSFET の選択について、設計時の考慮事項を記述します。また、N系統の正・負給電、MicroTCA 電力モジュールの設計についても記述します。

第八章（マージニングとトリミング）は、電源トリミングとマージニングの必要性についてと、それらのソリューションについて、そしてソフトウェアを用いてどのように設計を実装するかについて記述します。

第九章（パワーマネージャIIの設計ツール）は、ソフトウェアフローと各ステップについて、そして複雑な電源管理設計のソフトウェア実装について記述します。

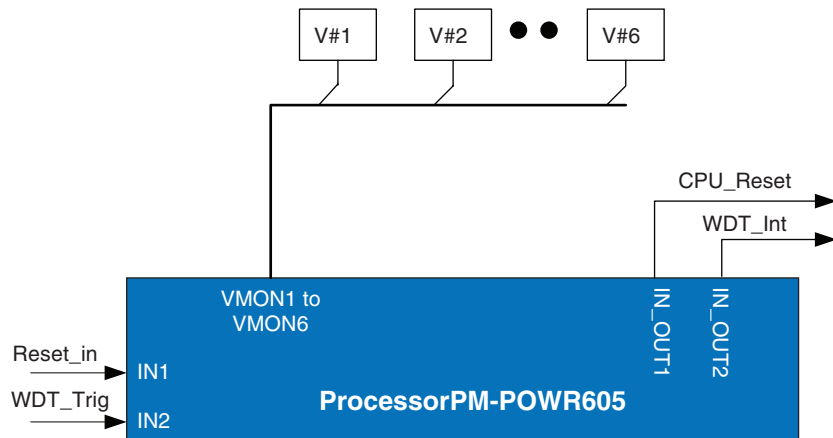
パワーマネージャ II によるソリューションごとの機能概要

2.1 N 系統の電源監視回路、リセット生成器、およびウォッチドッグ・タイマ

パワーマネージャ II による監視回路、リセット生成器、およびウォッチドッグ・タイマの機能

- 過電圧 / 不足電圧 (under voltage) の故障 (電圧異常) 検出用に最大 12 電源までモニタ
- プログラマブルなモニタ閾値は 0.67V から 5.8V までで高精度 (誤差 0.2% typ.)
- 電圧が低く、かつ大電流の電源をモニタする差動の電圧検出
- グリッチフィルタ (最大 64 μ sec) 付きの高速な電圧検出
- 最大 100msec のプログラマブル・パルスストレッチを持つリセット生成
- 電圧低下 (low voltage) の割り込み生成
- チャタリング期間がプログラマブルなマニュアルリセット入力
- 数百ミリ秒から数分まで時間遅延がプログラマブルなウォッチドッグ・タイマ
- 柔軟なウォッチドッグ・タイマ割り込みとリセット信号の組合せ
- インシステム・プログラミングによりボード組立て後でもすべての機能を変更可能
- 過電圧保護と不足電圧ロックアウト
- シーケンス制御や活線挿抜、およびトリミングやマージニングなどの追加機能を集約
- I²C を介した電圧と電流の測定
(ProcessorPM-POWR605 デバイスを用いた回路の詳細説明は「[3.2 N 系統の電源監視回路、リセット生成器、およびウォッチドッグ・タイマ](#)」を参照して下さい。)

図 2-1 6 電源監視とリセット生成器、およびウォッチドッグ・タイマを集積する ProcessorPM-POWR605



パワーマネージャIIデバイスによる監視回路、リセット生成器、およびウォッチドッグ・タイマの利点

- 監視回路とリセット IC を複数個使用する場合に比較して、コストを低減
- 部品点数の削減 ~ 閾値設定用の抵抗や、時間の遅延設定用のコンデンサが不要
- 機能の信頼性を向上 ~ 高速な故障検出、より高いモニタ精度、そしてより少ない部品点数
- モニタ閾値の精度や、電源グリッチフィルタにより、電源故障のスプリアス割り込みを低減
- リスクの低減 ~ プログラマビリティによる仕様変更への柔軟な対応
- 使用部品の品種を削減 ~ 広範囲のアプリケーションにわたって同一チップを用いることが可能
- 過電圧故障に対して遮断手順を開始することによって、ボードを保護
(ProcessorPM-POWR605 デバイスを用いた回路の詳細説明は「[3.2 N 系統の電源監視回路、リセット生成器、およびウォッチドッグ・タイマ](#)」を参照して下さい。)

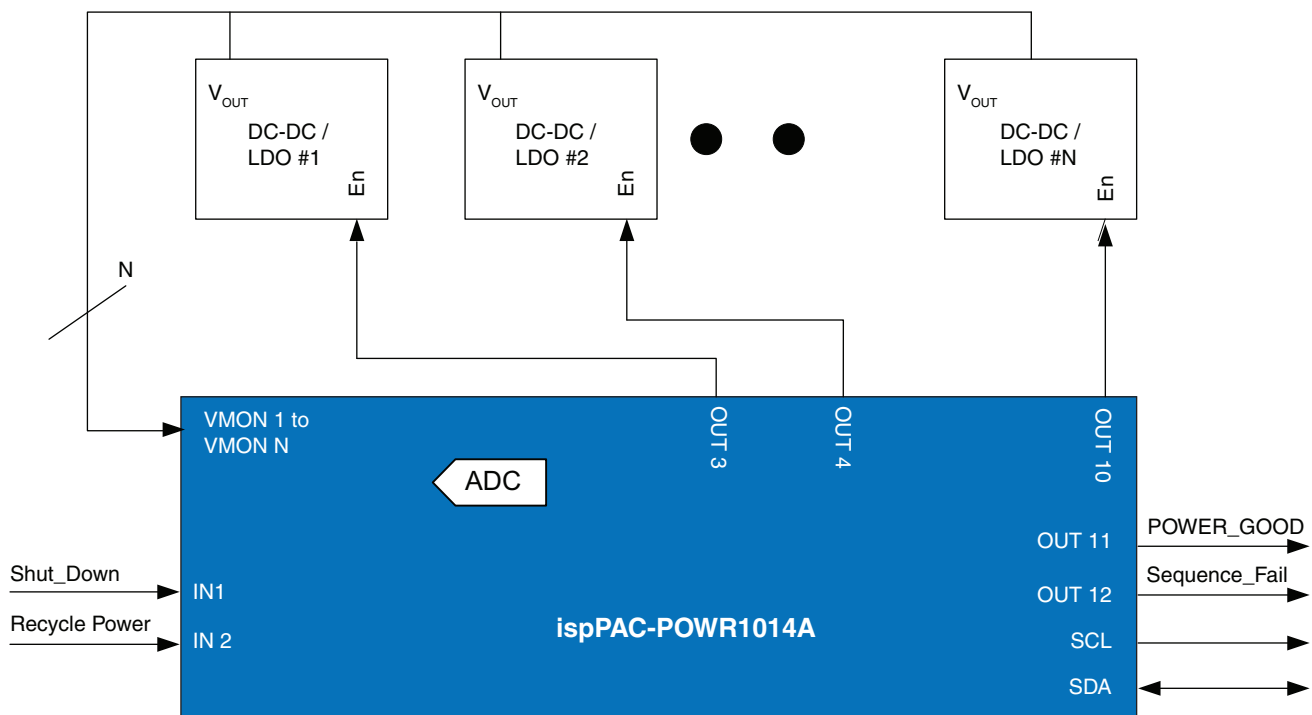
2.2 電源シーケンス制御

柔軟な N 系統の電源シーケンス制御

パワーマネージャ II デバイスによるシーケンス実装の機能

- 電源起動時と遮断時のシーケンス制御がプログラマブル
- 電源の遮断は故障の検出や外部の入力で開始することが可能
- 電源オンの順序や、シーケンス・タイミングの微調整をソフトウェアで変更可能
- 電源オン / オフ・シーケンスは複数タイプのアルゴリズムに対応
- 閉ループ・シーケンス制御、時間ベースの開ループ・シーケンス制御、一定期間内に完了するシーケンス制御など
- 監視リセット生成やウォッチドッグ・タイマ、活線挿抜、トリミング、およびマージニングなどの追加機能を集約
- I²C を介した電圧と電流の測定
- JTAG を介したインシステム・プログラミングにより、ボード組立て後も電源シーケンスを変更可能 (回路の詳細説明は「[4.2 ラティス・パワーマネージャ II デバイスを用いる柔軟な N 系統の電源シーケンス制御](#)」を参照して下さい。)

図 2-2 ispPAC-POWR1014A デバイスを用いた柔軟な N 系統の電源シーケンス制御



パワーマネージャ II デバイスにシーケンサを集積する利点

- ボード電源管理の他の機能と共にシーケンス制御機能を集約することによって、コストを削減
- シーケンス制御アルゴリズムの変更のためにボード改版のリスクを最小化 ~ ボード組立て後にシーケンス制御アルゴリズムの調整が可能
- シーケンス不成功や電源起動タイムアウトなど付加的なデバッグフラグを用意することによって、プロトタイプボードの立ち上げ期間を短縮

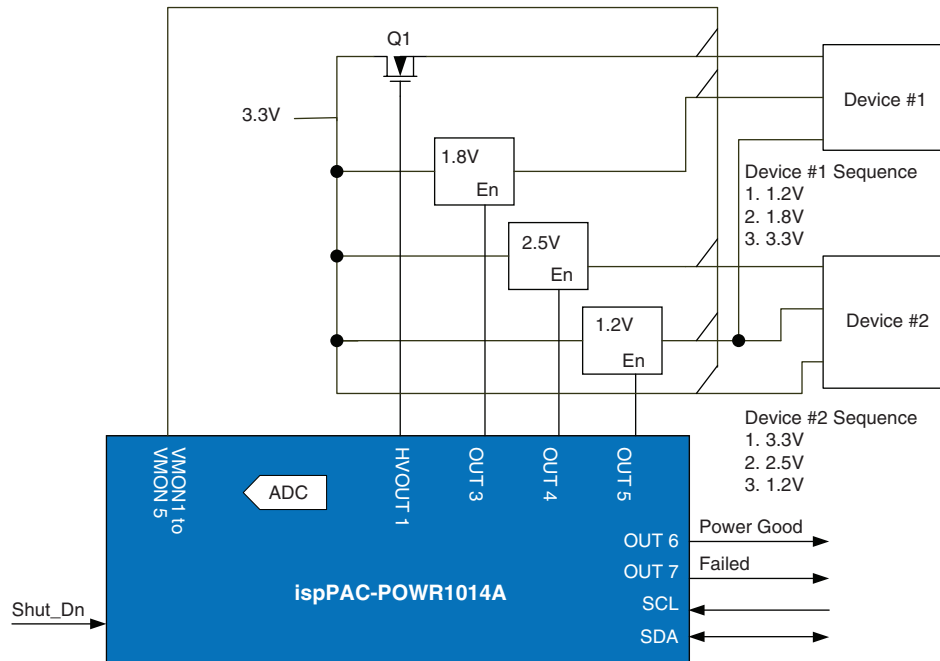
- 部品点数を削減することによって、信頼性を向上 ~ タイミングやシーケンス閾値調整のための抵抗やコンデンサは不要
- 多様なボードのシーケンス制御要件を満たすことによって、シーケンス制御を含む電源管理用の IC の数を削減
(回路の詳細説明は「[4.2 ラティス・パワーマネージャ II デバイスを用いる柔軟な N 系統の電源シーケンス制御](#)」を参照して下さい。)

MOSFET と DC-DC のイネーブルを用いるシーケンス制御

パワーマネージャ II デバイスによるシーケンサ実装の機能

- ハイサイド N チャンネル MOSFET を制御するために複数のチャージポンプを集積
- MOSFET と DC - DC コンバータ・イネーブルを用いる統一されたシーケンス制御アルゴリズム
- 電源起動時と遮断時のシーケンス制御がプログラマブル
- 電源の遮断は故障の検出や外部入力で開始することが可能
- 電源オンの順序やシーケンス・タイミングの微調整をソフトウェアで変更可能
- 電源オン / オフ・シーケンスは複数タイプのアルゴリズムに対応
- 閉ループ・シーケンス制御、時間ベースの開ループ・シーケンス制御、一定期間内に完了するシーケンス制御
- 監視リセット生成やウォッチドッグ・タイマ、活線挿抜、トリミング、およびマーキングなどの追加機能を集約
- JTAG を介したインシステム・プログラミングにより、ボード組立て後も電源シーケンスを変更可能
- I²C を介した電圧と電流の測定
(回路の詳細説明は「[4.3 MOSFET と DC-DC コンバータのイネーブル信号を用いるシーケンス制御](#)」を参照して下さい。)

図 2-3 MOSFET と DC-DC のイネーブルでシーケンス制御を実装する ispPAC-POWR1014A



パワーマネージャ IC デバイスにシーケンスを集約する利点

- ボード電源管理の他の機能と共に DC-DC コンバータ数を削減することによって、コストを削減
- ボード組立て後にシーケンス制御アルゴリズムを変更するための、ボードの改版リスクを最小化
- シーケンス不成功や電源起動タイムアウトなどの付加的なデバッグフラグを用意することによって、ボードデバッグ初期の立ち上げ期間を短縮
- 部品点数を削減することによって信頼性を向上 ~ タイミングやシーケンス閾値調整のための抵抗やコンデンサは不要
- 多様なボードのシーケンス制御要件を満たすことによって、シーケンス制御を含む電源管理用 IC の数を削減
(回路の詳細説明は「[4.3 MOSFET と DC-DC コンバータのイネーブル信号を用いるシーケンス制御](#)」を参照して下さい。)

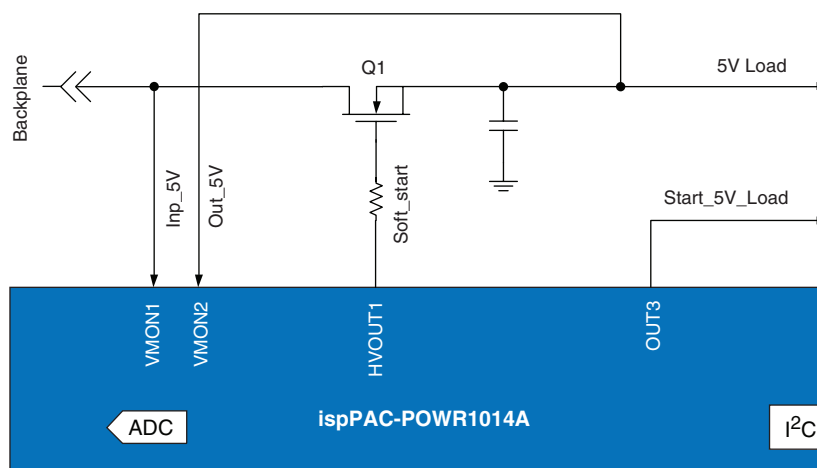
2.3 活線挿抜コントローラ

ソフトスタート・メカニズムを用いる活線挿抜コントローラ

パワーマネージャIIデバイスによる活線挿抜コントローラ実装の機能

- バックプレーンへの安全な挿入が可能 ~ プログラマブルなコンタクト・デバウンス遅延 [註³]
- 過電圧保護と不足電圧ロックアウト
- プログラマブルなソフトスタート・レート機能によって突入電流を制御
- 故障時のリトライ周期がプログラマブル
- 二次側へのバックプレーン電圧ステータスフラグ
- ボード故障時のバックプレーンからのボード隔離
- 動作電圧範囲は 3V ~ 5V
- シーケンス制御やリセット生成、監視、ウォッチドッグ・タイマ、トリミング、およびマーキングなどの追加機能を集約
- I²C を介してバックプレーン電圧をボードの他の電圧や電流と共に測定
- JTAG を介したインシステム・プログラミングにより、ボード組立て後も電源管理を変更可能
- ボード上のその他の IC にかかわらず、活線挿抜コントローラをプログラムすることが可能 (回路の詳細説明は「[5.2 パワーマネージャII デバイスを用いた正電源の活線挿抜コントローラ](#)」を参照して下さい。)

図 2-4 MOSFET のランプレート制御による活線挿抜制御の実装



パワーマネージャIIデバイスに活線挿抜コントローラを集約する利点

- ボード電源管理の他の機能と電源管理 IC を集約することによってコストを削減
- ある回路基板の故障がシステム内の他のボードに伝播することを極小化
- 遮断の信頼性を増加 ~ 二次側へウォーニングを早めに通知することでボードを安全に遮断することを確実にする
- 電源管理 IC 数の削減 ~ ボード電源管理の残りの機能をパワーマネージャIIデバイスに集約 (回路の詳細説明は「[5.2 パワーマネージャII デバイスを用いた正電源の活線挿抜コントローラ](#)」を参照して下さい。)

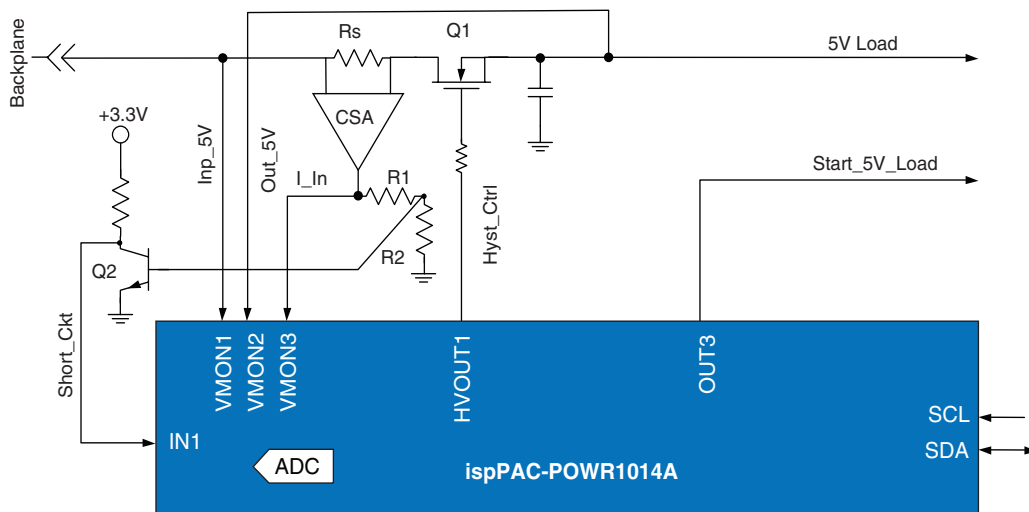
3. 端子接触直後に変動するバックプレーンからの電圧が安定するのを待つ期間

ヒステリシス電流制限メカニズムがある活線挿抜コントローラ

パワーマネージャIIデバイスによる活線挿抜コントローラ実装の機能

- 電流突入イベントの期間バックプレーン電流をある値に制限することで、バックプレーン電源の落ち込みを最小化
- プログラマブルな2つの過電流リミット ~ 活線挿抜時とボード動作時
- コンタクト時のデバウンス遅延がプログラマブル
- 過電圧・過電流保護と不足電圧ロックアウト
- 回路短絡時の保護応答時間は $1\ \mu\text{sec}$ 以下
- プログラマブルなりトライ周期
- 活線挿抜故障時や二次電源故障時のリトライ
- バックプレーン電圧のウォーニング・ステータスを二次側に早期に通知
- ボード故障時にバックプレーンからボードを隔離
- シーケンス制御やリセット生成、監視、ウォッチドッグ・タイマ、トリミング、およびマーギニングなど他のボード電源管理機能を集約
- I²C を介してボード上の他の電圧や電流に加えてバックプレーン電圧を測定
- JTAG を介したインシステム・プログラミングにより、ボード組立て後も電源管理を変更可能
- ボード上のその他のICにかかわらず、活線挿抜コントローラをプログラムすることが可能
(回路の詳細説明は「[5.2 パワーマネージャII デバイスを用いた正電源の活線挿抜コントローラ](#)」を参照して下さい。)

図 2-5 ヒステリシス電流リミットがある活線挿抜コントローラ



パワーマネージャ II デバイスに集約する活線挿抜コントローラの利点

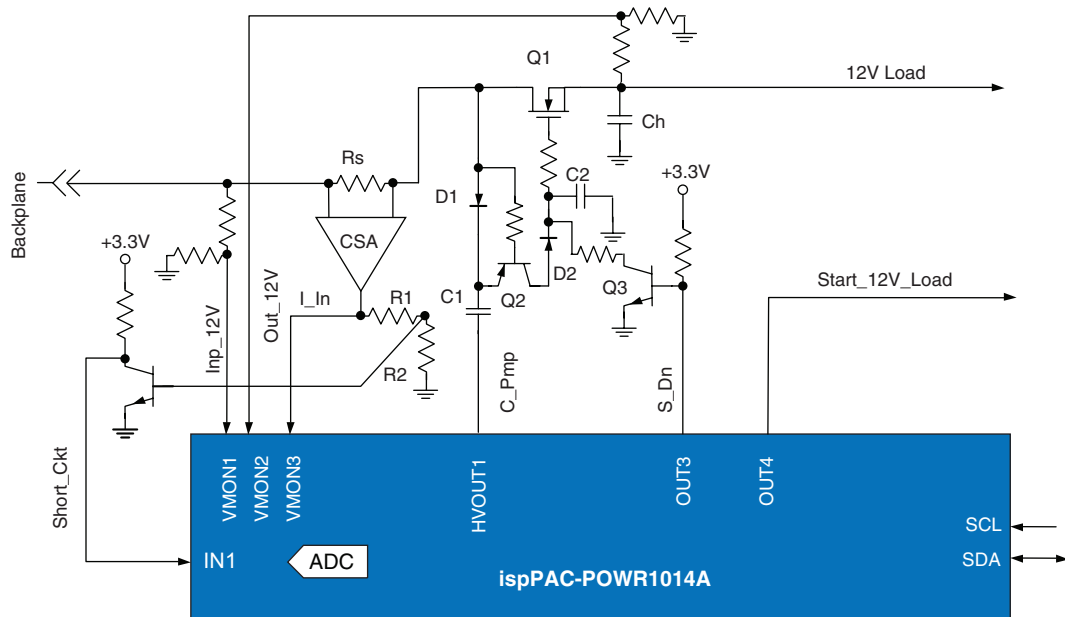
- 他の二次側ボード電源管理機能を集約することによってコストを削減
- 活線挿抜コントローラによって、より小さいホールドオフ・コンデンサを用いることでボードスペースを節減
- 活線挿抜時とボード故障の間、ピーク電流を減少させることによってシステムの信頼性を向上
- ある回路基板の故障がシステム内の他のボードに伝播することを極小化
- 遮断の信頼性を増加 ~ 二次側へウォーニングを早期に通知することでボードを安全に遮断することを確実にする
- 電源管理 IC の数を削減 ~ 残りの電源管理機能をパワーマネージャ II に集約
(回路の詳細説明は「[5.2 パワーマネージャ II デバイスを用いた正電源の活線挿抜コントローラ](#)」を参照して下さい。)

12V/24V 活線挿抜コントローラ

パワーマネージャ II デバイスに集約される活線挿抜コントローラの機能

- 広い動作電圧範囲：6V ~ 24V
- 広範囲のボード電力にわたって用いることが可能：10W ~ 200W
- 電流突入期間のバックプレーン電流を意図する値に制限することで、MOSFET の安全動作領域（以下 SOA）仕様を満足
- 突入電流と動作時電流のリミットを個別にプログラム可能
- コンタクト時のデバウンス遅延がプログラマブル
- 過電圧・過電流保護と不足電圧ロックアウト
- 回路短絡時の保護応答時間は 1 μ sec 以下
- プログラマブルなリトライ周期
- 活線挿抜故障時や二次電源故障時のリトライ
- バックプレーン故障に対する早めのウォーニング
- ボード故障時のバックプレーンからのボード隔離
- シーケンス制御やリセット生成、監視、ウォッチドッグ・タイマ、トリミング、およびマーキングなど他のボード電源管理機能を集約
- I²C を介してボード上の他の電圧や電流に加えてバックプレーン電圧を測定
- JTAG を介したインシステム・プログラミングにより、ボード組立て後も電源管理を変更可能
- ボード上のその他の IC にかかわらず、活線挿抜コントローラをプログラムすることが可能
(回路の詳細説明は「[5.2 パワーマネージャ II デバイスを用いた正電源の活線挿抜コントローラ](#)」を参照して下さい。)

図 2-6 ispPAC-POWR1014A デバイスを用いる 12V/24V 活線挿抜コントローラ



パワーマネージャIIデバイスに集約する活線挿抜コントローラの利点

- 他の二次側ボード電源管理機能をパワーマネージャIIに集約し、低コストMOSFETと小さいホールドオフ・コンデンサを用いることによってコストを削減
- より小さいホールドオフ・コンデンサによるボードスペースの節減
- 活線挿抜イベントとボード故障の間のピーク電流を減少させることによって、システムの信頼性を向上
- ある回路基板の故障がシステム内の他のボードに伝播することを最小化
- 遮断の信頼性を増加 ~ 二次側へウォーニングを早めに通知することでボードを安全に遮断することを確実にする
- 電源管理IC数の削減 ~ 残りの電源管理機能をパワーマネージャIIに集約 (回路の詳細説明は「[5.2 パワーマネージャIIデバイスを用いた正電源の活線挿抜コントローラ](#)」を参照して下さい。)

負電源の活線挿抜コントローラ

負電源の活線挿抜コントローラ実装の機能

- 広い動作電圧範囲：-35V ~ -80V
- 広範囲のボード電力に対応：10W ~ 200W
- 活線挿抜動作でMOSFETのSOA仕様を満たす電流レベルを予め決定
- プログラマブルな突入電流リミット
- プログラマブルな過電流リミット
- 回路短絡時の保護応答時間は1μsec以下
- プログラマブルなコンタクト時のデバウンス遅延
- 過電圧保護と不足電圧ロックアウト
- 活線挿抜イベントの後に負荷動作をイネーブルにすることで、さらに突入電流を最小化

CompactPCI のボード管理

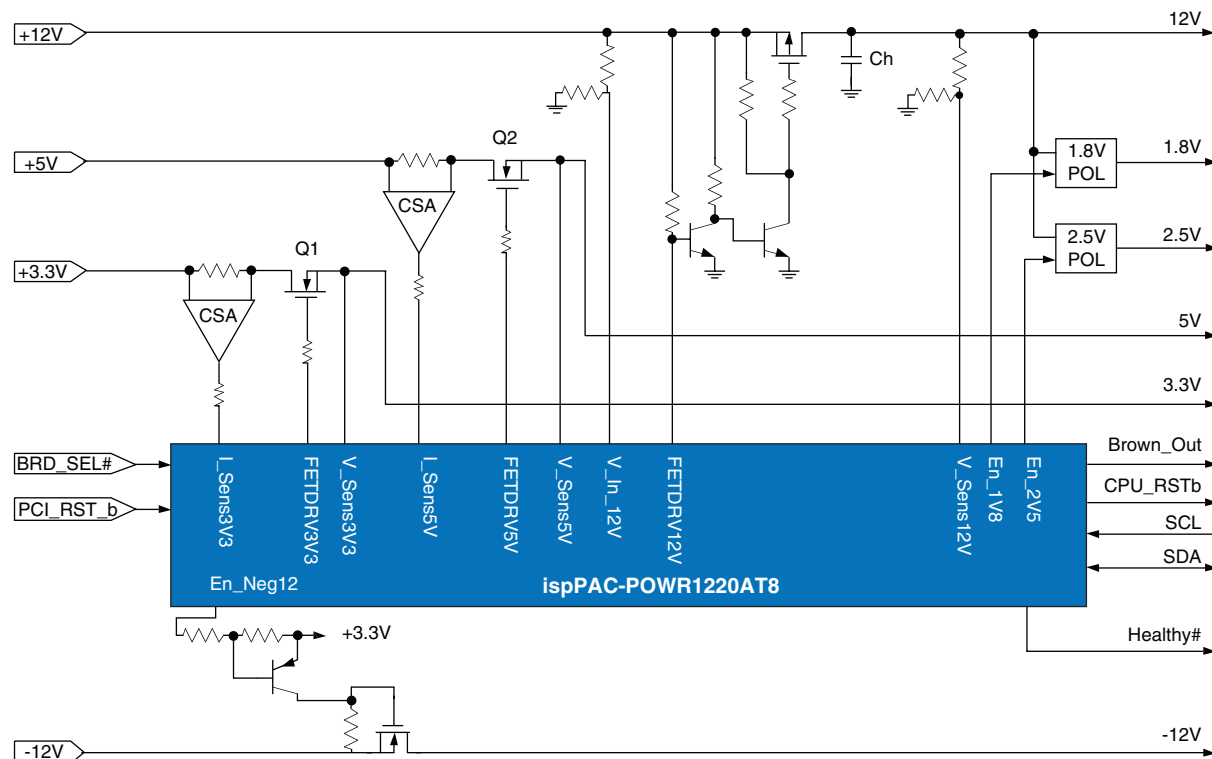
パワーマネージャ II デバイスに集約される CompactPCI ボード管理コントローラの機能

- 3.3V、5V、+/-12V 用の活線挿抜 (CompactPCI 活線挿抜およびボードコントローラ)
- 広範囲な電力のボードにわたって用いることが可能：10W ~ 200W
- 電源ごとに個別にプログラマブルな突入電流
- 全電源入力に対してコンタクト時のデバウンス遅延がプログラマブル
- 過電圧・過電流保護と不足電圧ロックアウト
- 回路短絡時の保護応答時間は 1 μ sec 以下
- プログラマブル・リトライ周期 ~ 活線挿抜故障時や二次電源故障時のリトライ
- バックプレーン故障の早めのウォーニング
- ボード故障時にバックプレーンからボードを隔離
- シーケンス制御やリセット生成、監視、ウォッチドッグ・タイマ、トリミング、およびマージニングなど他のボード電源管理機能を集約
- I²C を介してボード上の他の電圧や電流に加えてバックプレーン電圧を測定
- JTAG を介したインシステム・プログラミングにより、ボード組立て後も電源管理を変更可能 (回路の詳細説明は「[5.4 CompactPCI ボード管理](#)」を参照して下さい。)

パワーマネージャ II デバイスに集約される CompactPCI ボード管理の利点

- 他の二次側ボード電源管理機能をパワーマネージャ II に集約し、低コスト MOSFET と小さいホールドオフ・コンデンサを用いることによってコストを削減
- ボード故障時と共に活線挿抜時の間、ピーク電流を減少させることによってシステムの信頼性を向上
- ある回路基板の故障がシステム内の他のボードに伝播することを極小化
- 遮断の信頼性を増加 ~ 二次側へウォーニングを早めに通知することで、ボードを安全に遮断することを確実にする
- 電源管理 IC 数の削減 ~ 残りの電源管理機能をパワーマネージャ II に集約 (回路の詳細説明は「[5.4 CompactPCI ボード管理](#)」を参照して下さい。)

図 2-8 ispPAC-POWR1220AT8、完全な CompactPCI ボード管理

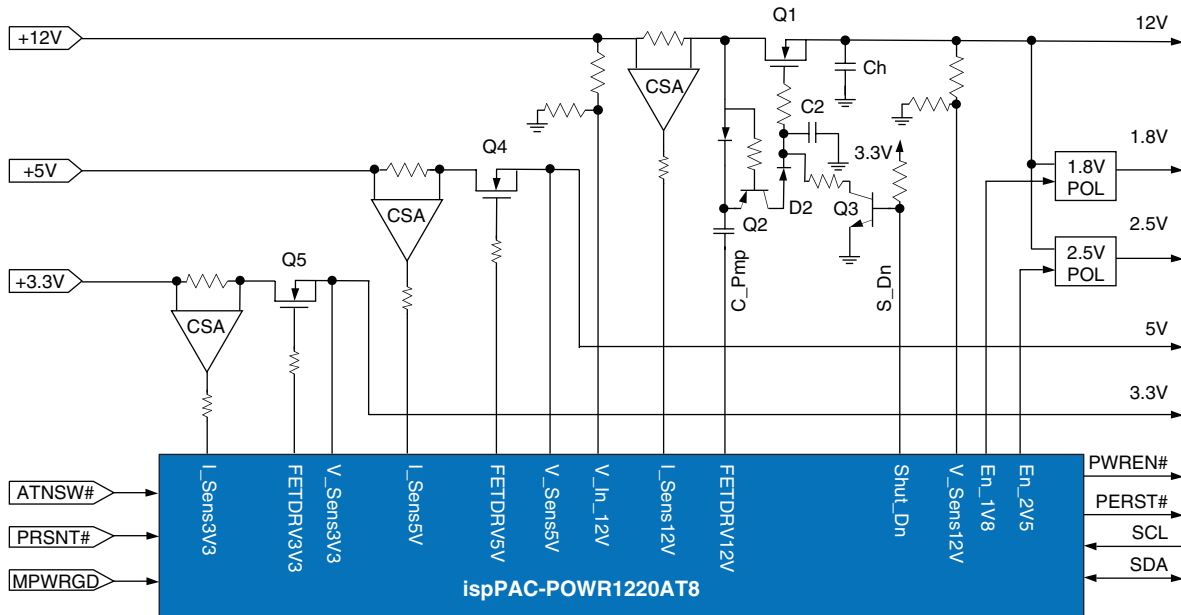


CompactPCI Express ボード管理

CompactPCI Express ボード管理の利点

- 3.3V、5V、12V の活線挿抜 (CompactPCI Express、VME、VITA システム・ボードコントローラ)
- 広範囲のボード電力にわたって用いることが可能：10W ~ 200W
- 電源ごとに個別にプログラマブルな突入電流
- 全電源入力についてプログラマブルなコンタクト時のデバウンス遅延
- 過電圧・過電流保護と不足電圧ロックアウト
- 回路短絡時の保護応答時間は 1 μ sec 以下
- プログラマブル・リトライ周期 ~ 活線挿抜故障時や二次電源故障時のリトライ
- バックプレーン故障の早めのウォーニング
- ボード故障時にバックプレーンからボードを隔離
- シーケンス制御やリセット生成、監視、ウォッチドッグ・タイマ、トリミング、およびマーキングなど他のボード電源管理機能を集約
- I²C を介してボード上の他の電圧や電流に加えてバックプレーン電圧を測定
- JTAG を介したインシステム・プログラミングにより、ボード組立て後も電源管理を変更可能 (回路の詳細説明は「[5.4 CompactPCI ボード管理](#)」を参照して下さい。)

図 2-9 完全な CompactPCI Express ボード電源管理



CompactPCI Express ボード管理実装の利点

- 他の二次側ボード電源管理機能をパワーマネージャIIに集約し、低コスト MOSFET と小さいホールドオフ・コンデンサを用いることによってコストを削減
- ボード故障と共に活線挿抜イベントの間、ピーク電流を減少させることによってシステムの信頼性を向上
- ある回路基板の故障がシステム内の他のボードに伝播することを極小化
- 遮断の信頼性を増加 ~ 二次側へウォーニングを早めに通知することで、ボードを安全に遮断することを確実にする
- 電源管理 IC 数の削減 ~ ボードの消費電力を満たすために、残りの電源管理機能をパワーマネージャIIに集約
(詳細な回路説明は「[5.4 CompactPCI ボード管理](#)」を参照して下さい。)

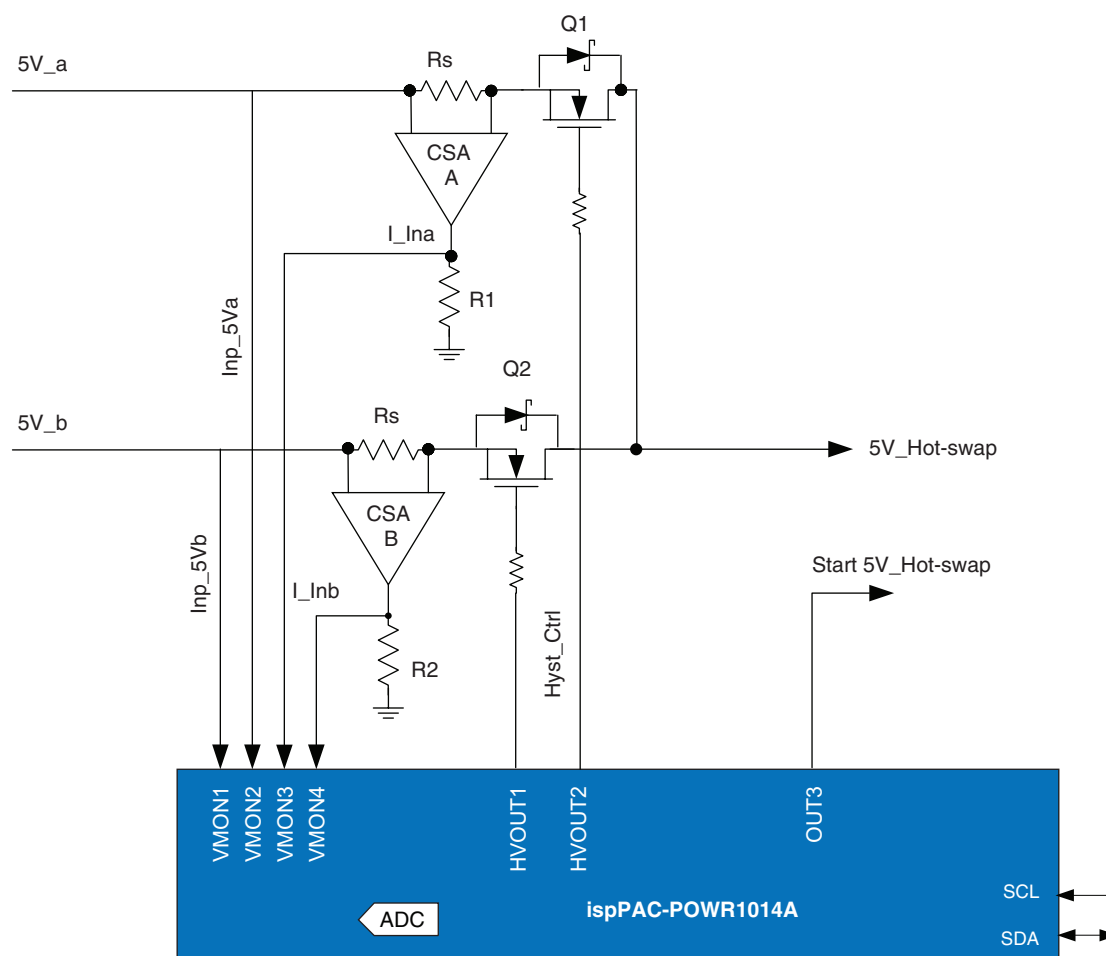
2.4 冗長系電源の管理

2 系統 5V 供給電源の冗長化制御 (MOSFET を使用)

パワーマネージャ II ベースの実装機能

- ダイオードからの置き換えで電力損失を低減
- N チャンネル MOSFET を使用
- 抑制的な逆方向電流保護
- 不足電圧と過電圧保護
- I²C を介した個別ブランチの電流および電圧を測定
- 活線挿抜や電源シーケンス制御、電圧監視、リセット生成、ウォッチドッグ・タイマ、トリミング、およびマージニングなど他のボード電源管理機能を集約
(詳細な回路説明は「6.3 MOSFET を用いる +5V 供給電源冗長化回路」を参照して下さい。)

図 2-10 ispPAC-POWR1014A に実装した 2 系統 5V 電源冗長化制御



電源冗長化制御をパワーマネージャ II デバイスに集約する利点

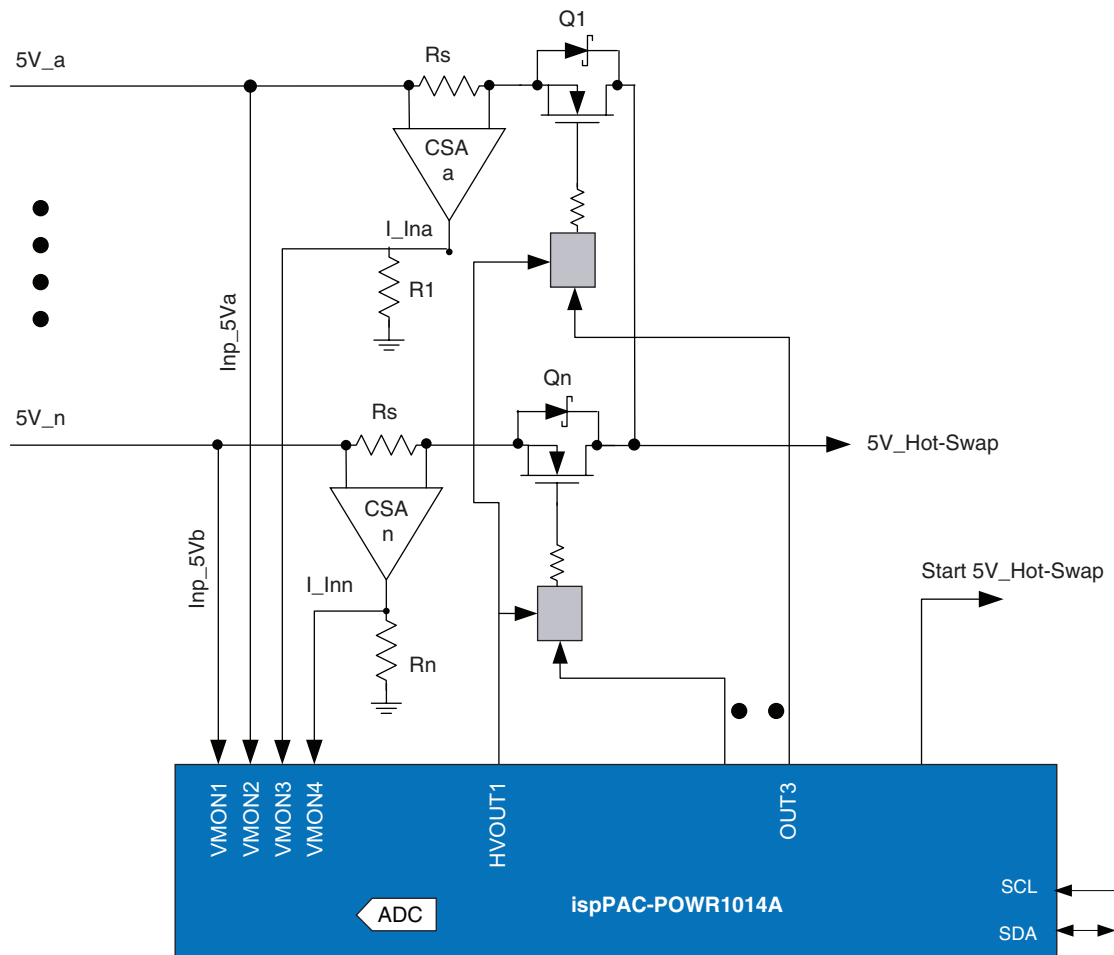
- 抑制的な逆方向電流保護でボードの信頼性を向上
- 複数の電源管理機能を単一デバイスに集約することによってコストを削減
- 電源冗長化機能を実装するために必要な IC 数を削減
(詳細な回路説明は「[6.3 MOSFET を用いる +5V 供給電源冗長化回路](#)」を参照して下さい。)

MOSFET を用いる N 系統電源の冗長化制御

パワーマネージャ II ベースの実装機能

- 単一のパワーマネージャ II デバイスで、最大 6 チャンルの電源冗長化制御を実装
- ダイオードからの置き換えで電力損失を低減
- N チャンネル MOSFET を使用
- 抑制的な逆方向電流保護
- 不足電圧と過電圧保護
- I²C を介して個別ブランチの電流および電圧を測定
- 活線挿抜や電源シーケンス制御、電圧監視、リセット生成、ウォッチドッグ・タイマ、トリミング、およびマージニングなど他のボード電源管理機能を集約
(詳細回路の説明は「[6.4 MOSFET を用いる 3 系統以上の 5V 電源用の供給電源冗長化](#)」を参照して下さい。)

図 2-11 MOSFET を用いる N チャンネル 5V 電源の冗長化制御



電源冗長化制御をパワーマネージャ II デバイスに集約する利点

- 抑制的な逆方向電流保護でボードの信頼性を向上
- 複数の電源管理機能を単一デバイスに集約することによってコストを削減
- 電源冗長化機能を実装するために必要な IC 数を削減
(詳細回路の説明は「[6.4 MOSFET を用いる 3 系統以上の 5V 電源用の供給電源冗長化](#)」をご参照下さい。)

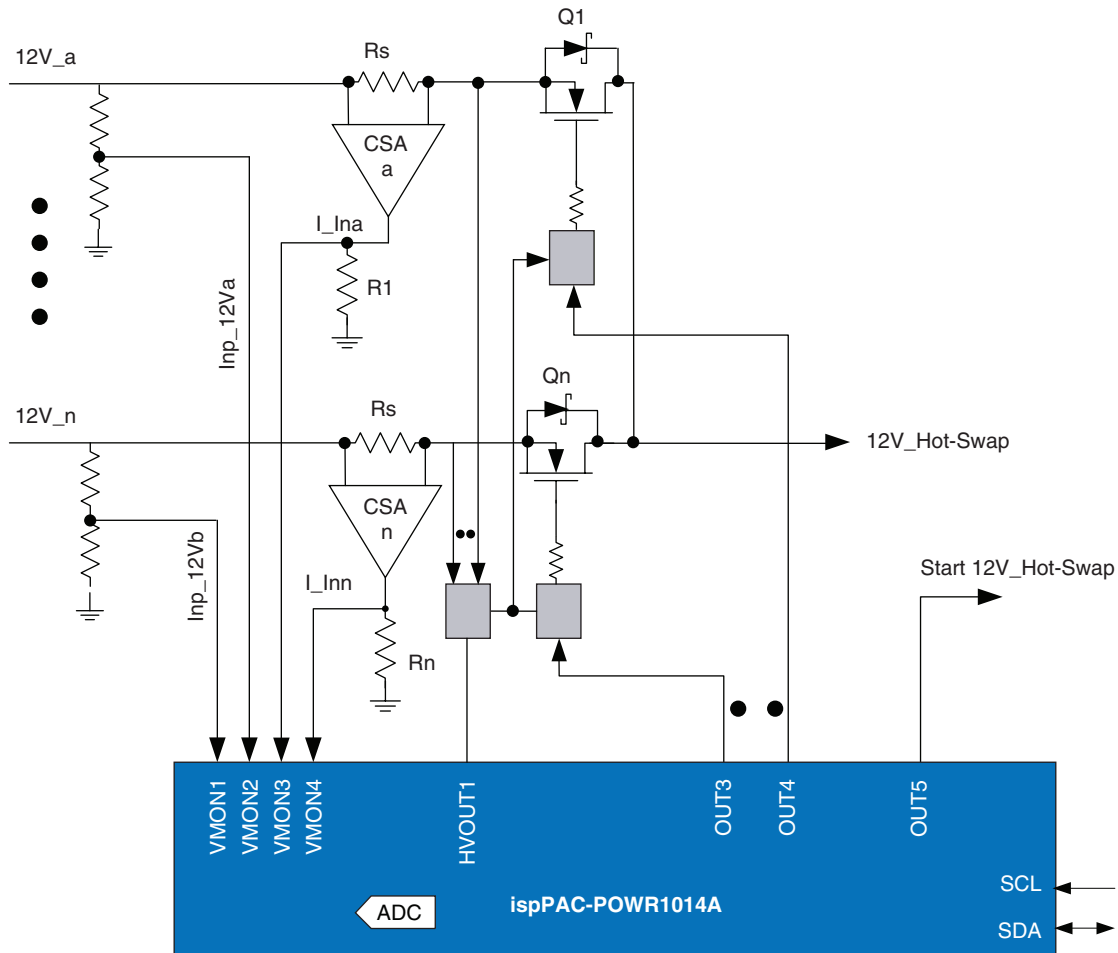
N 系統 (12V/24V) 電源の冗長化制御

パワーマネージャ II ベースの実装機能

- 広い動作電圧範囲：6V ~ 24V
- 単一のパワーマネージャ II デバイスで、最大 6 チャンネルの電源冗長化制御を実装
- ダイオードからの置き換えで電力損失を低減
- N チャンネル MOSFET を使用
- 抑制的な逆方向電流保護
- 不足電圧と過電圧保護

- I²C を介して個別ブランチの電流および電圧を測定
- 活線挿抜や電源シーケンス制御、電圧監視、リセット生成、ウォッチドッグ・タイマ、トリミング、およびマージニングなど他のボード電源管理機能を集約
(詳細な回路説明は「6.5 N 系統 (12V/24V) 電源の冗長化」を参照して下さい。)

図 2-12 ispPAC-POWR1014A デバイスで MOSFET を用いる N 系統 12V 電源の冗長化制御



電源冗長化制御をパワーマネージャ II デバイスに集約する利点

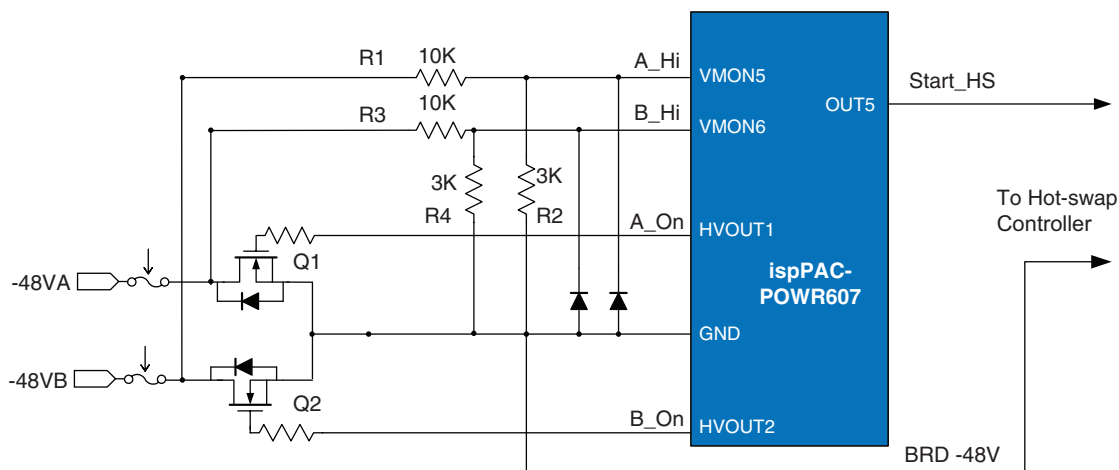
- 抑制的な逆方向電流保護でボードの信頼性を向上
- 複数の電源管理機能を単一デバイスに集約することによってコストを削減
- 電源冗長化機能を実装するために必要な IC 数を削減
(詳細な回路説明は「6.5 N 系統 (12V/24V) 電源の冗長化」を参照して下さい。)

MOSFET による -48V 電源冗長化制御

パワーマネージャ II ベースの実装機能

- 広い動作電圧範囲：-30V ~ -80V
- ダイオードからの置き換えで電力損失を低減
- N チャネル MOSFET を使用
- 活線挿抜に対応
- 抑制的な逆方向電流保護
- 不足電圧と過電圧保護
- フューズ故障検出
- 活線挿抜コントローラを制御（詳細な回路説明は「6.6 MOSFET による -48V 電源冗長化」を参照して下さい。）

図 2-13 ispPAC-POWR607 を用いたデュアル -48V MOSFET 電源冗長化回路



電源冗長化制御をパワーマネージャ II デバイスに集約する利点

- 抑制的な逆方向電流保護でボードの信頼性を向上
- 電圧監視やコンタクト時のデバウンス回路と共に電源冗長化機能を単一デバイスに集約することによってコストを削減
- 電源冗長化機能を実装するために必要な IC 数を削減（詳細な回路説明は「6.6 MOSFET による -48V 電源冗長化」を参照して下さい。）

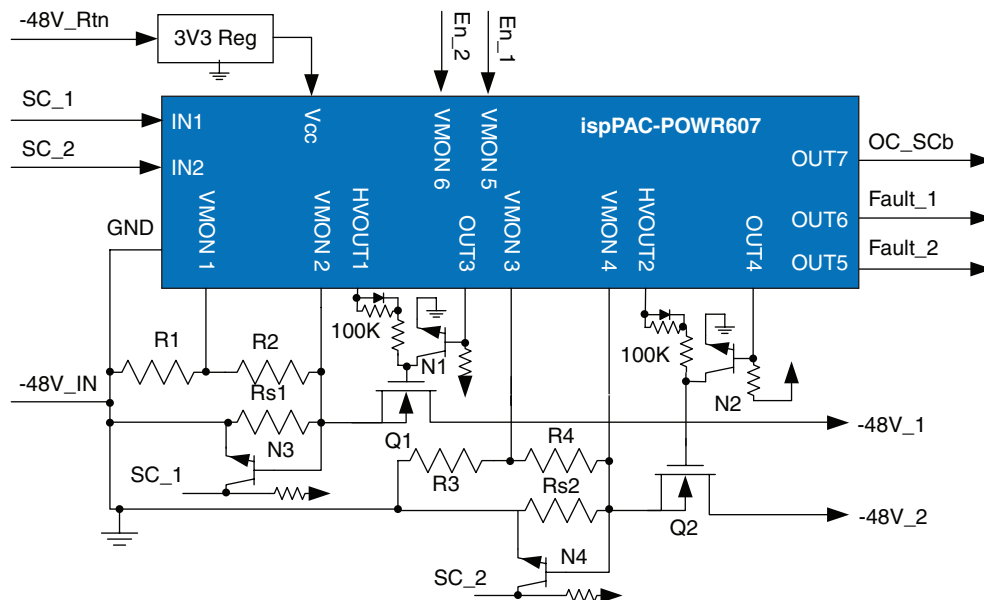
2.5 給電コントローラ

デュアル -48V 電源の給電コントローラ

パワーマネージャ II ベースの実装機能

- 広い動作電圧範囲：-30V ~ -80V
- 安全な MOSFET 動作 (SOA)
- チャンネル毎に個別に電流を制限
- 個々のチャンネルの回路短絡保護 ~ 応答は 1 μ sec 以下
- 出力ブランチごとの無電流、および過電流フラグ
- チャンネルごとのイネーブル
- 故障検出時のリトライ
- 短い過電流グリッチを除去
(詳細な回路説明は「7.2 デュアル -48V 電源給電」を参照して下さい。)

図 2-14 ISPPAC-POWR607 に実装した、デュアル -48V チャンネル給電回路



2 チャンネル -48V 給電制御をパワーマネージャ II に集約する利点

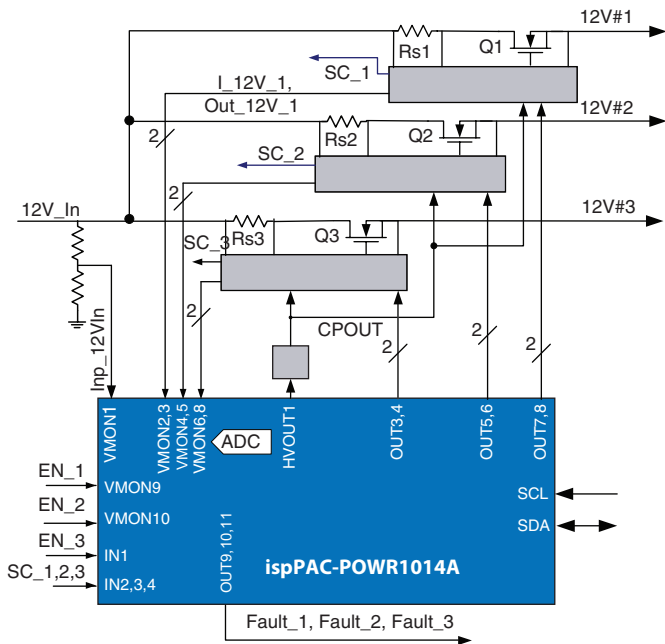
- 2 チャンネルの給電制御を単一デバイスに集約することによってコストを削減
- チャンネルごとの電流制限と回路短絡電流保護によってボードの信頼性を向上
- 広範囲の給電と保護要件にわたってカスタマイズできることで、IC 数を削減
(詳細な回路説明は「7.2 デュアル -48V 電源給電」を参照して下さい。)

3チャンネルの6V～24V 給電システム

パワーマネージャIIベースの実装機能

- 広い動作電圧範囲：6V～24V
- 4チャンネルの給電制御まで拡張可能
- 安全なMOSFET動作（SOA）
- チャンネルごとの電流制限
- 個々のチャンネルの回路短絡保護～応答は1μsec以下
- 出力ブランチごとの無電流、および過電流フラグ
- チャンネルごとのイネーブル
- 故障検出時のリトライ
- 短い過電流グリッチを除去
- I²Cを介してチャンネルごとの電流および電圧を測定
- 他のボード電源管理機能を集約
（詳細な回路説明は「7.3 3チャンネルの+12V 給電システム」を参照して下さい。）

図 2-15 3チャンネル12V 給電回路



複数チャンネルの給電制御をパワーマネージャIIに集約する利点

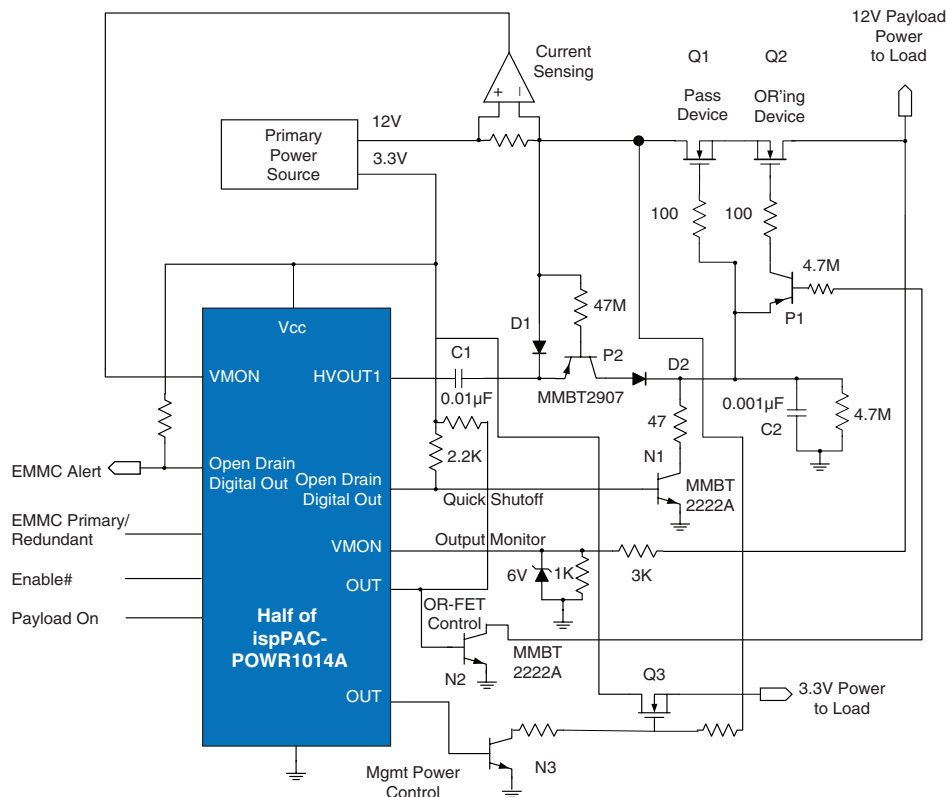
- 給電回路の全体に必要なICの数を減らすことによって、実装のコストを削減
- 給電制御ICの数を削減～広範なアプリケーションにわたる給電特性を満たすためにカスタム化が可能
- シーケンス制御やリセット生成など他のボード電源管理機能を集約することによって、ボードの信頼性を向上
（詳細な回路説明は「7.3 3チャンネルの+12V 給電システム」を参照して下さい。）

ダイオード切替えによる 2 系統の +12V と 3.3V 給電制御

パワーマネージャ II に集約される給電ソリューションの機能

- MicroTCA パワーモジュールで使用するために設計 ~ 2 チャンネル
- MOSFET を用いた電源冗長化制御で 3.3V と 12V を給電
- AMC カードの取り出し後 50 μ sec 以内に 12V 電源をオフ
- プログラマブルな過電流保護
- MOSFET は安全動作領域で動作
- ペイロード電源 (+12V) の電源冗長化制御に対応
- 抑制的な逆方向電流保護
- I²C を介した電圧と電流の測定
- 12V 電源入力の過電圧と不足電圧状態を監視
- 供給電源冗長化機能のための 12V 電源のトリミングと共に、最大 4 チャンネルまで給電制御を拡張 (詳細な回路説明は「7.4 MOSFET 冗長化がある 2 チャンネルの +12V および 3.3V 給電」を参照して下さい。)

図 2-16 ispPAC-POWR1014A の半分を用いる 1 チャンネル MicroTCA 給電



2 チャンネル MicroTCA 給電回路にパワーマネージャ II を用いる利点

- 実装のコストを低減
- 高い電圧監視精度により信頼性を向上
- トリミング機能と共により多チャンネルの給電回路を集約 (詳細な回路説明は「7.4 MOSFET 冗長化がある 2 チャンネルの +12V および 3.3V 給電」を参照して下さい。)

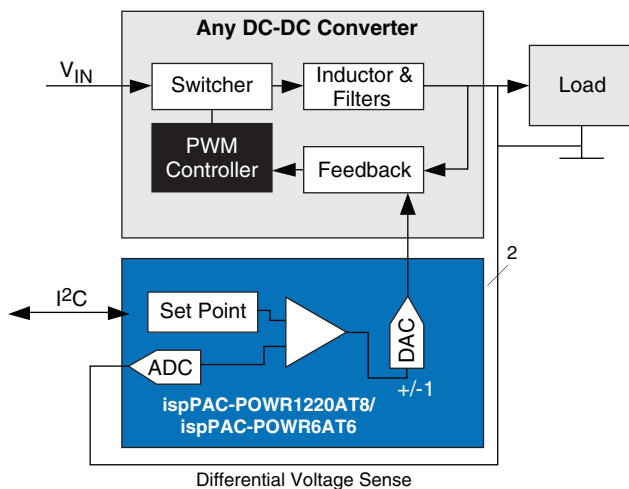
2.6 トリミングおよびマーージニング

(詳細な回路説明は「8.4 トリミングおよびマーージニングの動作原理」を参照して下さい。)

パワーマネージャ II に実装される閉ループトリミングとマーージニング機能

- 低電圧(<1.2V)や大電流のアナログ DC - DC コンバータのどのようなトリミングにも理想的に適合
- 出力電圧精度 = “セットポイント電圧” +/-10mV
- シングルチップで最大 8 チャンネルまでのトリミングとマーージニングに対応
- 差動の電圧検出
- 電圧スケールリング
- VID は単純な PLD によって対応
- 電圧監視、シーケンス制御、リセット生成、および活線挿抜コントローラ機能と共にトリミングとマーージニングを集約

図 2-17 パワーマネージャ II を用いる低コストのトリミングおよびマーージニング・ソリューション



Result: Voltage Error <1% At Load! (-40° to +85° C)

パワーマネージャ II を用いてトリミングおよびマーージニングを実装する利点

- DC - DC コンバータのコストを低減 ~マーージニングとトリミングにデジタル DC - DC コンバータで対応する必要なし
- DC - DC コンバータ出力電圧の精度を制御することによる、機能的な信頼性の向上
- 電圧スケールリングによる動作電力の削減
- 自動化されたマーージンテストでデバッグ時間を短縮

リセット生成器、監視回路、およびウォッチドッグ・タイマ

3.1 はじめに

マイクロプロセッサに必要なペリフェラル IC の中で最も重要なものの 1 つは、リセット生成器とウォッチドッグ・タイマ（以下 WDT）です。

リセット生成器の機能は以下の通りです。

1. 電源投入直後のある期間、時間を延長してプロセッサをリセット状態に保持する
2. いずれかの電源に問題がある場合、リセットをアクティブにして、命令の誤実行、および / またはフラッシュメモリの破壊を防ぐ

WDT の機能は以下の通りです。

1. ソフトウェアによって生成されるトリガを用いたソフトウェア実行の監視
2. プロセッサが WDT 用トリガ生成の処理を実行しなかった場合に、割り込みを発行する、或いは CPU をリセットして回復プロセスを起動

伝統的なリセット生成器は、リセット信号を生成するためにわずか一系統の入力電源しか監視しません。一方で図 3-1 で示されるように、現代のほとんどのプロセッサの動作には、多くの電源を用います。電源のいずれかの故障でもプロセッサに命令の誤実行をもたらすかもしれないので、一系統の電源のみを監視するリセット生成器は適切ではありません。従って CPU リセットを生成するためには、関連する全電源系の故障を監視するリセット生成器が必要となります。図 3-1 はこの問題について図示していますが、この例では 5 系統の電源のどれがリセットのために選ばれるべきであるかが明確ではありません。

図 3-1 信頼性高く確実にリセットするために一系統のみの電源監視・リセット生成では不十分

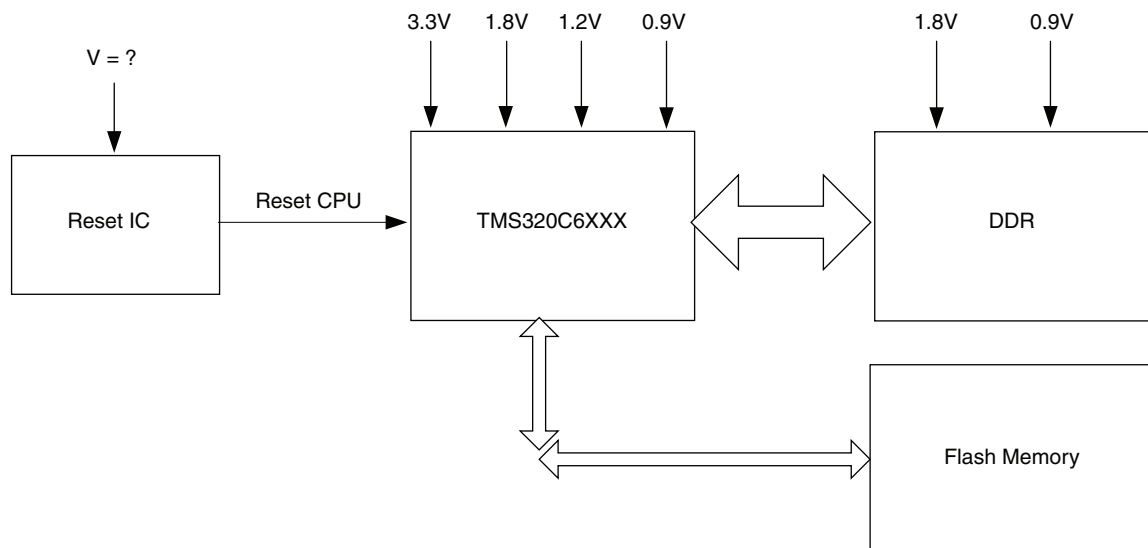


図 3-1 では、プロセッサはコアのための 1.2V、DDR II メモリとインターフェイスするための 1.8V と 0.9V、そしてフラッシュメモリやその他のペリフェラル・デバイス用に 3.3V を必要とします。電源のすべてがデータシートに規定された電圧範囲内にある場合のみ、プロセッサは確実に動作します。例えばそれぞれの許容範囲は、3.3V => +/-5%、1.8V => +/-5%、1.2V => +/-3%、そして 0.9V => +/-5% です。コア電圧が規定の最低電圧以下で動作するときのマイクロプロセッサの一般的な振る舞いは、命令の誤解釈です。命令が誤解釈されると（または誤実行すると）、プログラム実行が予測できなくなり、プログラムは暴走します（意図されたタスクを実行しません）。

I/O 電圧が規定された信号の閾値の下側より低くなると、メモリとプロセッサ間で転送される命令やデータが誤る可能性があります。

命令の誤解釈や壊れた命令の実行は、マイクロプロセッサに予測できない振る舞いをもたらします。場合によっては、マイクロプロセッサはボード上のフラッシュメモリを上書きするかもしれず、結果として回路基板の不動作をもたらすことにもなりかねません。サブラック・スロットから電力を得るが故に、回路基板が不動作になる場合を想像してください！

低電圧下での予測できない振る舞いはマイクロプロセッサに限ったことではなく、ボード上のどのような ASIC や FPGA にも当てはまります。例えばネットワーク ASIC の電源電圧がその許容下限値より低下すると、それは誤ったパケットを送るかもしれません。場合によっては、それは内部的にバッファリングされているアクノレッジされたパケットを失うかもしれず、結果として不正なメッセージをもたらします。

全電源を監視することによる高信頼性のリセット生成

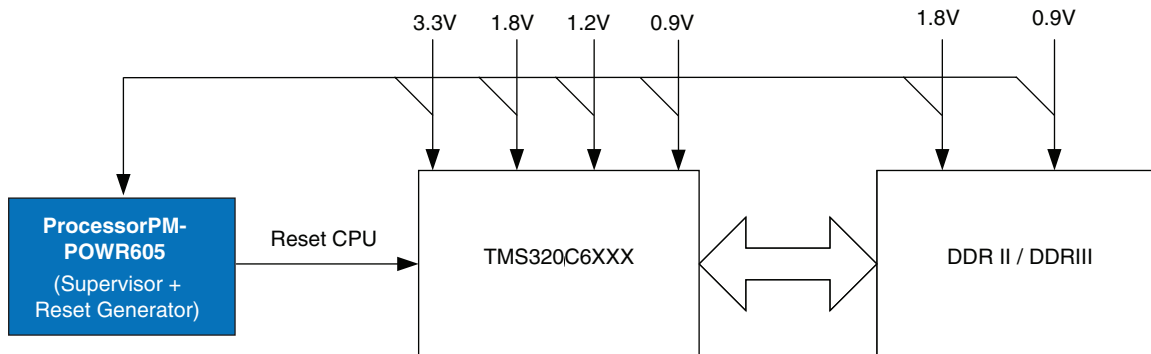
いずれかの電源が不良のときでもプロセッサが動作することを防ぐためには、すべての電源をモニタ（監視）しなければならないのは明確です。故障かどうかをすべての電源についてモニタすることは、電源監視として知られています。監視用 IC は複数の電源を同時に監視するために用いられます。以下は、通常一個か複数個の監視用 IC で実行される機能です。

1. 複数の電源を故障かどうか正確にモニタし、そして故障検出時は迅速に割り込みを生成する

2. プロセッサのコア用かメモリ用電源が不良なら、プロセッサをリセットする
電圧監視の信頼性は、故障検出の迅速さと共に監視 IC の故障検出精度で決定されます。

図 3-2 は、電源故障によるフラッシュ破壊を防ぐために（図 3-1 のリセット IC の代わりに）回路基板のすべての電源を監視し、そしてリセットを生成する IC である ProcessorPM-POWR605 を示します。

図 3-2 最も信頼できるリセット生成器 IC はすべての電源を監視する

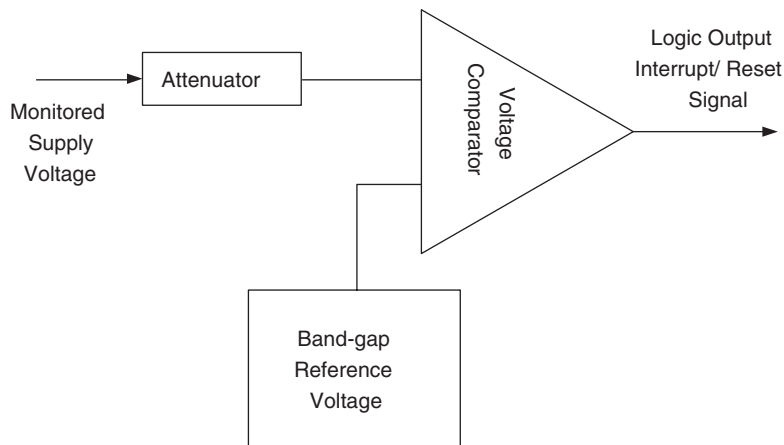


監視用 IC の構成部品

図 3-3 は単純な、単一電源の電圧監視回路を示します。

この回路では電源電圧をモニタするために電圧コンパレータを用います。コンパレータの一方の入力は、バンドギャップ基準電圧による固定の電圧で保持されます。モニタする電源電圧は、抵抗ネットワークを用いることで減衰されて他方の入力に接続されます。これは供給電圧が故障検出レベルを超えていれば、必ず電圧がバンドギャップ基準電圧より大きくなるように設定されます。

図 3-3 単一電源の電圧監視回路

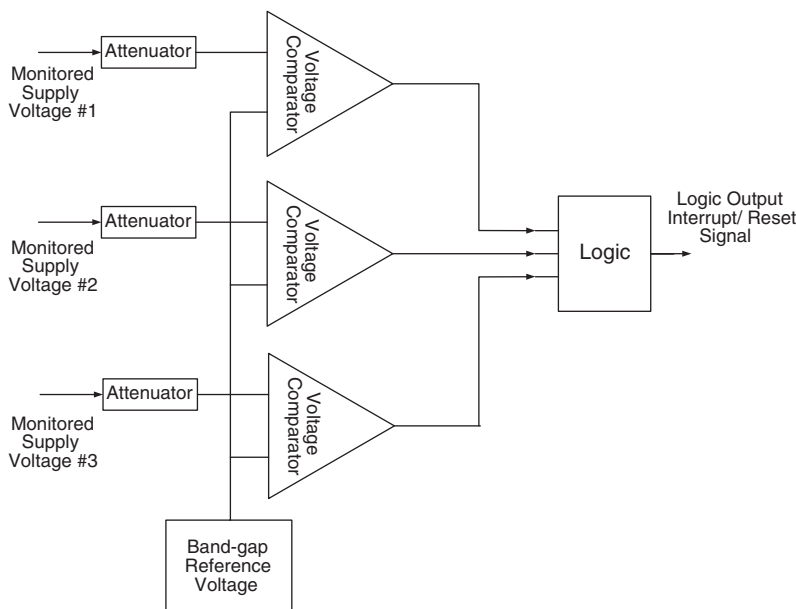


例えばバンドギャップ電圧が 2V で、監視しなければならない供給電源は 3.3V - 5% (= 3.135V) とします。モニタしている電圧が 3.135V より大きい場合は、減衰器の出力が 2V 以上となるように減衰器が選択されます。従ってモニタ電圧が 3.135V 以下に低下すると、コンパレータ出力はトグルします。

リセット生成器や監視回路、および電圧検出器は、上に示されたものと同様の回路を用います。

図 3-4 は複数の電源電圧をモニタするデバイスのアーキテクチャを示します。このデバイスは、異なる電源電圧を同時にモニタすることを容易にするために、複数のコンパレータとそれぞれに個別の減衰器を持っています。これらコンパレータの出力は、プロセッサへ割り込みを与えるか、またはリセット出力とするために、論理的に組合せ回路でただ一本のロジック出力にします。

図 3-4 電源系統監視用 IC のブロック図



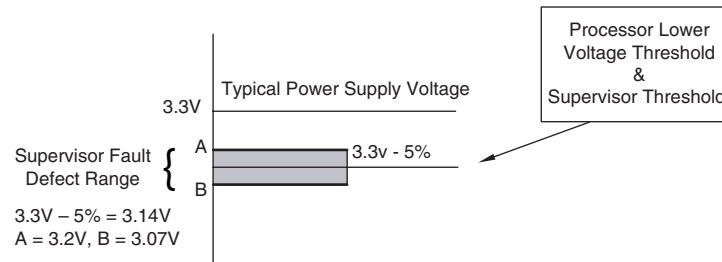
システム機能への監視精度の影響

図 3-3 で示す回路は、理想的なバンドギャップ基準源（出力電圧は常時 2.0V）と理想的な減衰器（入力電圧が 3.135V のときに出力電圧はちょうど 2.0V）、および理想的なコンパレータを用いていると仮定します。すると、コンパレータの出力はいつでも、モニタしている電圧がちょうど 3.135V であるときにトグルします。しかし実際はバンドギャップ基準電圧は温度により変わり、デバイスに依存して減衰器の出力電圧は異なり、そしてコンパレータには誤差があります。これら全ての結果として、デバイス個体と温度・電圧条件に依存して、電圧閾値にわずかなバラつきを与えます。監視精度とは、意図された閾値に対するそのバラつきの度合いです。

多くの一般的に入手できる監視用 IC は $\pm 2\%$ の精度で電源の故障を検出します。これはデバイスによって実際の閾値が最大で設定値の 2% は異なることがあり得る、ということの意味です。システム機能に対する故障検出閾値を選択する際の、精度の影響を調べましょう。

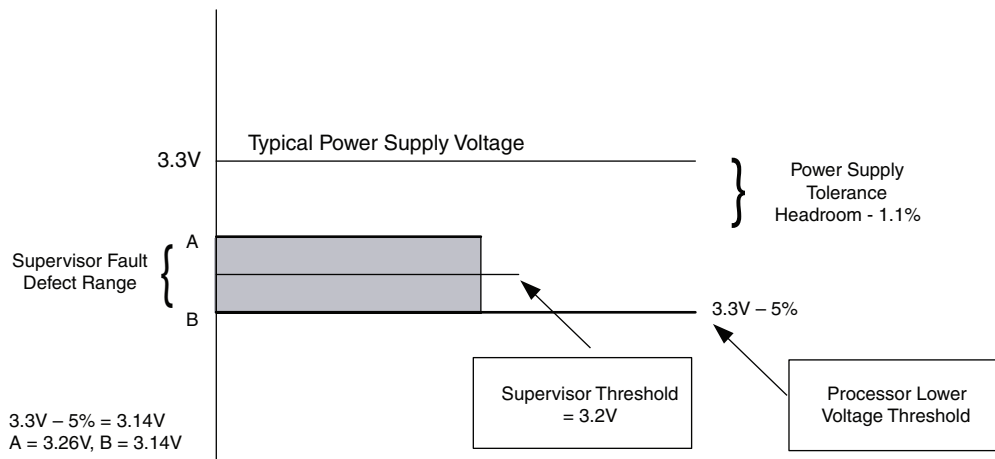
図 3-5 を参照してください。デバイスが 3.3V - 5% (= 3.135V) の閾値で規定されていて 2% 精度である場合、ポイント A と B として示すように、そのデバイスは $3.135V + 2\%$ と $3.135V - 2\%$ の間（即ち 3.2V と 3.072V の間）のどこでも電源を故障であるとして判定する可能性があります。

図 3-5 監視精度が 2% の故障検出



おわかりのように監視回路は、電源が問題ないときに不良と判定したり、または不良のときに問題なしと判定する可能性があります。後者はより重大なエラーです。というのは求められる閾値より低い電圧ではプロセッサが命令を誤実行するかもしれない、それは監視用 IC を用いる目的に矛盾することになるためです。

図 3-6 正しい閾値の監視回路による故障検出



そのような問題を避けるためには、電源故障の検出範囲全体がプロセッサの動作電圧範囲の中に収まるように、監視回路の閾値を選択する必要があります。この場合に監視閾値が 3.2V に設定されると、監視回路が電源故障と宣言することができる電圧範囲が 3.14V から 3.26V の間になります。その結果、プロセッサが閾値より低い電圧で動作する状態を避けることができます (3.3V - 5%)。

図 3-6 に示す例では、監視回路の閾値は 3.2V に設定されました。この閾値は、実際には以下の数式を用いることで計算されました。:

$$V_{TSup} = V_{in} * (1 - V_{inTol} / 100) / (1 - A_{sup} / 100)$$

ここで V_{TSup} ~ 監視回路の閾値

V_{in} ~ 供給電源の公称電圧

V_{inTol} ~ 入力電源の許容範囲

A_{sup} ~ 監視回路の精度

この例では、V_{in} が 3.3V、V_{inTol} は 5%、A_{sup} が 2% ですので、上の数式にこれらの値を代入します。

$$VTS_{up} = 3.3 * (1 - (5/100)) / (1 - (2/100)) = 3.2V$$

監視用 IC の閾値を 3.2V かそれ以上に選択することによって、プロセッサは電源電圧が 3.3V - 5% に等しいかそれ以下のときに、リセットで保持されることを確実にします。

劣った検出精度は電源許容範囲の余裕を減少させる結果に

電源許容範囲の余裕は、[図 3-6](#) で示されるように負荷条件と動作温度条件にわたって、故障と判定されることなく、その電源に許容され、変動することができる最大電圧振幅です。

2% 精度の監視用 IC を用いる場合の電源余裕を考えましょう。[図 3-6](#) のように、電源電圧バラつきは (監視回路が不良と判定する最も高い電圧値である) 3.26V より高くなるように常時制限されるべきで、これは電源余裕が 1.1% になります。通常、供給電源には負荷と温度にわたっておよそ 3% の出力許容範囲があり、これは電源電圧が 3.2V から 3.4V まで振れる可能性を示します。ユーザの選択は、明らかに電圧誤差が 1% の、より高価な電源を用いるか、またはより良い精度の監視回路を用いることです。

1% 精度の監視用 IC を用いる

上述と同じシステムの数式で 1% の誤差を用いると、選択された監視回路の閾値は 3.17V になるはずですが、故障検出範囲の上限は 3.198V であり、それでも供給電源の最も低い出力電圧の 3.2V 以下です。そして 3% の電圧誤差をもつ電源を使用することができます。

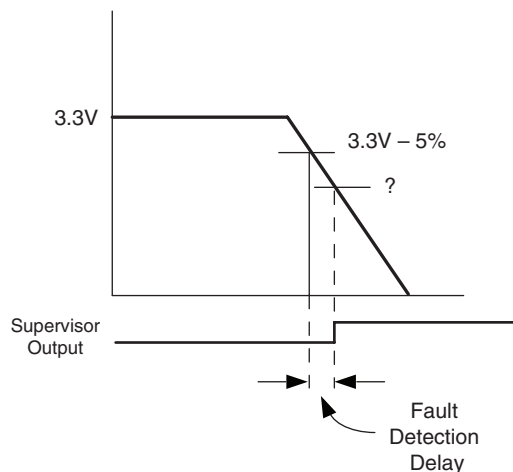
より正確な監視回路を用いることによって、より低コストでかつ出力電圧誤差がより大きい電源でも、ボードを確実に動作させることができます。ラティスセミコンダクターの ispPAC-POWR1220AT8 デバイスは、0.2% (typ.) と 0.7% (max.) の精度です。

故障検出の遅延の影響

故障検出の遅延とは、電源電圧が (非常に高い精度の) 監視回路の下側閾値より低下する時点から、監視回路の出力がトグルする (故障を示す) 時点までの時間です。

[図 3-7](#) では 3.3V 電源が故障し始める様子を示します。電源監視回路は電源故障を検出してプロセッサに通知します。これからわかるように、監視回路が故障を報告するために時間がより長くかかるほど、電源電圧はより低下します。

図 3-7 故障検出遅延のボード動作への影響



例えば電源電圧が 1msec あたり 1V のレートで減少するとします。監視回路の精度は非常に高く、閾値が 3.3V - 5% に設定されていて、上述のような精度の影響は無視することとします。故障検出遅延が 1msec と 50 μ sec の 2つのケースを調べましょう。

故障検出遅延が 1msec の場合

電源出力電圧が低下し続けるので、プロセッサがリセットされる時点までに、電源電圧は規定の最小動作電圧値よりはるかに (約 2.0V) 低くなります! 即ち電源が 2.0V に下落するまでプロセッサがプログラムを実行することを意味します。おそらくプロセッサは命令を誤実行するか、動作が停止するでしょう。このような場合、これでは監視回路の目的は達成されません。

故障検出遅延が 50 μ sec の場合

監視回路出力がアクティブになる時点まで、プロセッサ電圧は 3.3V - 5% の閾値からおよそ 50mV 低下するでしょう。やはりこの場合もプロセッサ動作はこの電圧では保証されません。

しかし、ここで仮に閾値が 3.3V - 5% より 50mV 高く設定されるとしたら、電源が動作上の規定最小値と交差する時点までにはプロセッサはリセットされるでしょう。

このように本アプリケーションでは 1msec の故障検出遅延は許容できません。他方、故障検出遅延が 50 μ sec では、検出閾値を最小動作電圧値より 50mV 高く設定する必要があります。

信頼性が高い動作のための監視回路は、検出閾値の精度と故障検出遅延の両方を考える必要があります。多くのアプリケーションが過電圧の監視を用います。すなわち供給電圧が電源電圧範囲以上に達すると、不良な供給電源自身がオフにされるか、またはクローバ・メカニズムが働いて電源出力をグラウンドにショートすることによって、回路基板上のデバイスを保護します。過電圧検出の速度はこの場合、不足電圧の故障検出よりさらに重要です。

上の例は一系統の電源電圧で、かつ非常に正確な監視回路 IC を用いた場合を考えました。実際には、監視回路がモニタするべき供給電源の数はそれ以上です。監視回路は、故障検出の対象としてすべての電源を同時に監視できなければならず、そして最小遅延で供給電源の故障を検出できなければなりません。

マイクロコントローラとそのオンチップ ADC を用いた電圧監視では、1msec やそれ以上の故障検出遅延が一般的です。

ADC とマイクロコントローラを用いることで構成された監視回路は遅い

いくつかのアプリケーションでは、マイクロコントローラをそのオンチップ ADC とアナログ・マルチプレクサと共に用いることで、すべての供給電源を監視します。監視アルゴリズムは、5msec から 10msec に一度の割り込みで起動され、一度に一系統の電源をラウンドロビン形式でデジタル化します。ADC サンプル値は内部的に格納された閾値と比較し、読まれた ADC 値が閾値より低い場合、電源故障を示すために出力ポートピン (リセットピンか割り込みピン) をトグルします。

電圧監視アルゴリズムがリアルタイムの割り込みでアクティブにされるため、故障検出の速度は割り込み間の遅延 (5m ~ 10msec) によって決定されます。これは供給電源の故障検出には遅すぎます。マイクロコントローラの唯一認めうる利点は、ボードが組立てられた後に設計者が電源管理アルゴリズムを変えられるという、柔軟なインターフェイスを与えるということです。しかしながら、通常設計者はマイクロコントローラのプログラムを変更することを回避します。ソフトウェア・シミュレータがないために、プログラムがどのように変更されたとしても、大規模な回路基板テストが必要です。従って柔軟性があると言われる利点は、真実ではありません。

故障検出の速度や電源故障の検出精度を含めた信頼性に対するニーズを満たすために、マイクロコントローラの代わりにハードウェア監視回路を用いることが賢明です。柔軟性のニーズを満たすために、ラティスのパワーマネージャII デバイスはプログラマブルなアナログとデジタル機能を備え、一方で優れた検出精度と故障検出速度も持っています。例えば ispPAC-POWR1220AT8 デバイスは、同時に 12 系統の供給電源を監視し、故障検出遅延は $16\mu\text{sec}$ です。

信頼性の向上に寄与する他の要素

信頼性の高い供給電源故障検出のために考えられる他の要素は以下の通りです。

* グリッチフィルタ

通常、回路基板の動作時には、供給電源はノイズがかなり多くなります。ノイズは供給電源出力のリプル、またはデバイス動作などによる過渡的なシステムの電流変動で発生されます。このノイズはランダムにトグルする監視回路出力となることがあり、これを防ぐために、監視回路には閾値コンパレータにきれいな入力を与えるグリッチフィルタを持たせます。パワーマネージャII デバイスには各入力に $48\mu\text{sec}$ または $64\mu\text{sec}$ のグリッチフィルタがあり、イネーブルできます。

* ヒステリシス

供給電源電圧が閾値付近にある時に、電源ノイズによって出力が複数回トグルすることを防ぐために、若干のヒステリシスが閾値コンパレータに加えられています。パワーマネージャII デバイスでは、ヒステリシスは電圧閾値の 1.0% に設定されています。電圧が閾値を超えた後にヒステリシス遷移要件が適用されるため、ヒステリシスは検出精度に影響しません。

* 回路基板上で差動の電圧検出

電圧が 1.2V やそれ以下のレベルをモニタするとき、回路基板の故障検出精度という必要性を満たすために、差動の電圧検出を用いなければなりません。

より新しい製造プロセス技術によってトランジスタサイズが一層小さくなり、この為にコア供給電圧が 1.0V +/- 50mV などのようなレベルに下落する要因となっています。これらの供給電源をボード中央の位置でモニタする場合、監視しているノードと監視回路 IC のグランド電圧が違ふと考えるべきです。例えば [図 3-8](#) で、CPU とシングルエンドの検出方法を用いる電圧監視デバイスのグランド電圧差がおおよそ 20mV であるとし、そして CPU から見える実際の電圧が 30mV であるなら、監視回路 IC は目標値から $30\text{mV} + 20\text{mV} = 50\text{mV}$ の上昇として検出されるため、これは故障と判定されます。そしてプロセッサがまだ動作することができる時に、割り込みを生成するか、またはプロセッサをリセットしてしまいます。

図 3-8 グラウンド電圧差が監視回路入力への誤差要因となる

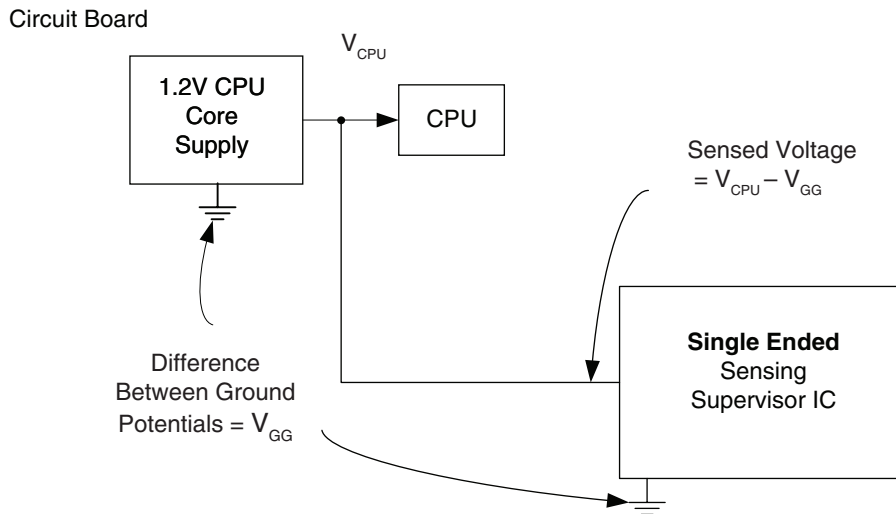
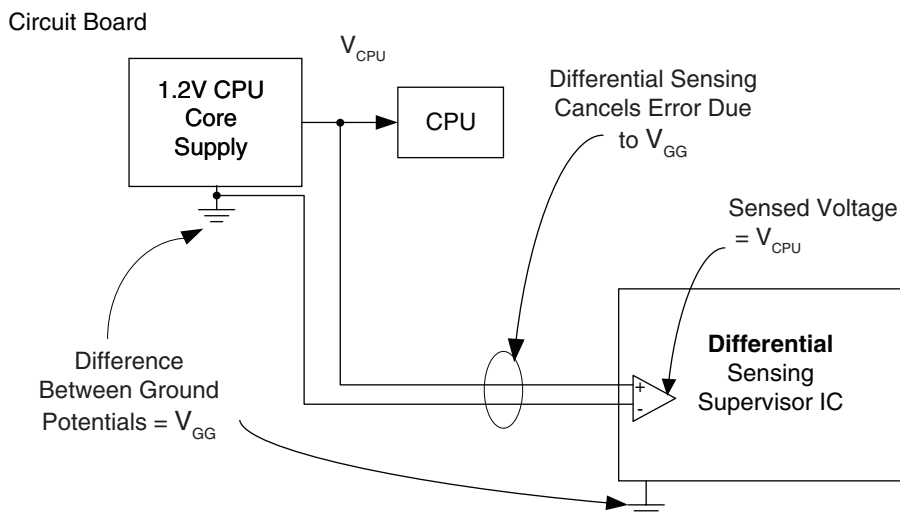


図 3-9 差動検出で相殺されるグラウンド電圧差による誤差



監視回路 IC と CPU 間のグラウンド電圧差が -20mV であれば、供給電圧が動作電圧最少値よりさらに低いときでも、監視 IC は故障とみなしません。これでは信頼性のない故障検出回路となってしまいます。

最も安全なソリューションは差動の電圧検出を用いることです (図 3-9)。これにより CPU と監視回路 IC のグラウンド電圧差は監視回路における共通モード電圧になり、入力差動アンプは信号をコンパレータに渡す前に共通モード電圧をキャンセルします。

* 故障条件下での予め決められた振る舞いのシミュレーションによる検証

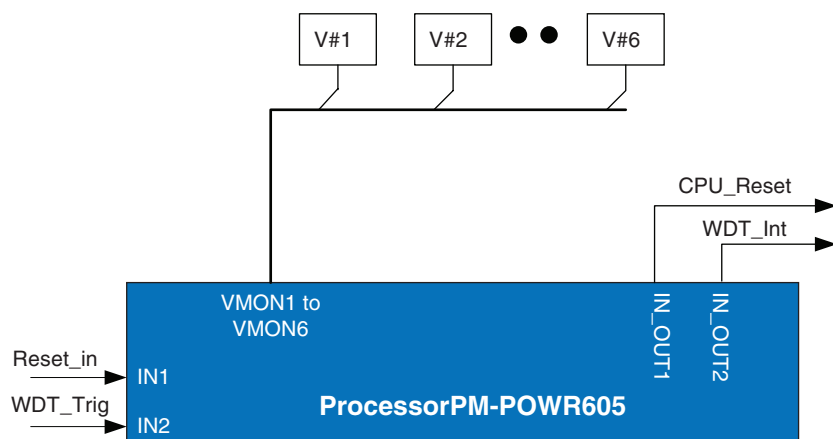
回路基板の応答は供給電源の故障に依存しますので、監視回路は故障した電源に依って異なる処理・機能を実行するのが望ましいと言えます。例えば CPU のコア電圧が故障した場合は、監視回路はリセット信号をアクティブにして、ボード電力の遮断を開始しなければなりません。これに対して冗長な電源系の 1 つが故障しただけであれば、監視回路はプロセッサに割り込みをかける動作で良いかもしれません。このように機能的な信頼性を確保するためには、監視用 IC で実装されるデザインが電源の故障に

対応して正しく応答することを確実にしなければなりません。最も簡単で確実な方法は、異なるタイプの故障についてハードウェア・リグレーションテストを行うよりは、むしろソフトウェアを使用して設計のシミュレーションをすることです。

3.2 N 系統の電源監視回路、リセット生成器、およびウォッチドッグ・タイマ

ラティスセミコンダクターの ProcessorPM-POWR605 IC は 6 本の高精度プログラマブル閾値コンパレータ、5 本の I/O、2 本のデジタル入力、4 本のプログラマブル・タイマ、および 16 マクロセルの CPLD を集積しています。このデバイスは監視回路とリセット生成器、および WDT 機能を集約するために使用されます。ProcessorPM-POWR605 デバイスは 0.7% の精度で供給電源を監視して、12 μ sec 以内に故障を検出することができます。

図 3-10 ProcessorPM-POWR605 は 6 電源の監視回路、リセット生成器と WDT を集積



回路動作

図 3-10 の回路図に示す ProcessorPM-POWR605 は、それぞれのモニタ用コンパレータ入力を故障閾値に設定することによって、6 本の電源を直接監視します。ProcessorPM-POWR605 デバイスの 2 本のデジタル出力は CPU_reset と WDT_Int として構成されます。CPU_Reset 信号は最大 2sec のプログラマブル・パルスストレッチング（パルス伸張）に対応します。例えばプログラマブル遅延が 200msec に設定されると、全電源がそれぞれの閾値以上になってから 200msec の間は CPU_Reset 信号はアクティブなままです。また電源のいずれかがそれぞれの閾値より低下すると、CPU_Reset 信号はアクティブにされます。さらに WDT がタイムアウトする前に WDT_Trigger 入力が入力がトグルされない場合は、WDT_Int 信号がアクティブにされます。32 μ sec から 2.5 分まで WDT 遅延をプログラムすることができます。reset_in 入力は、手動リセット入力信号などの外部入力から CPU_Reset 信号をアクティブにするために用いられます。

リセット生成器、監視回路、および WDT のアルゴリズム

1. リセット信号をアクティブにし、WDT_Int 信号を非アクティブにし、すべての電源レベルがそれぞれの閾値を超える値に達するのを待つ
2. 200msec 待つ（遅延時間はプログラマブル）
3. リセットを解放する

4. いずれかの電源が故障するまで待つ。その場合リセット信号をアクティブにして 1 にジャンプする

アルゴリズムの並列実行論理式

1. タイマ論理式は WDT トリガを待つ。タイマがタイムアウトする前に WDT_Trig 信号の負のエッジが受け付けられない場合、WDT_Int 信号をアクティブにする
2. Reset_In 信号がアクティブとなり、50msec (プログラマブル) のデバウンス期間後もアクティブなままの場合、CPU_Reset 信号をアクティブにする

この回路のプログラマブル機能

- 6 本の電源のための監視閾値がそれぞれ個別に設定でき、0.67V から 5.8V までのどのような供給電源も監視するように設定できます
- リセットパルス・ストレッチ期間を 32 μ sec から 2sec にプログラムすることができます
- WDT 遅延 ~ 32 μ sec から数時間でも設定することができます
- 入力リセットスイッチ・デバウンス遅延を 32 μ sec から 2sec にプログラムすることができます

ProcessorPM-POWR605 に加えることができる付加的な機能

- 残る 3 本の I/O ピンを他の入力監視機能、例えばウォームリセット、ソフトウェアリセット、FPGA Done などを実装するために使用できます。また例えばシーケンス制御用の DC-DC イネーブルや、他の 3 つのデバイスへ異なる時間間隔でリセット分配する、などの出力制御機能にも使用できます。
- 過電圧保護 ~ コンパレータはどれでも過電圧を監視するように閾値を設定できます。過電圧保護をするためにこの構成を使用することができます。

適切なパワーマネージャ II

最大 10 系統の電源を監視するために ispPAC-POWR1014/A などのデバイスを用いることができます。これらのデバイスは、過電圧と不足電圧を同時に監視できるように、デュアル・プログラマブル閾値コンパレータがそれぞれの入力に備わっています。ispPAC-POWR1220AT8 デバイスは最大 12 系統の電源監視に用いることができます。またこれらのデバイスは、より大きいボードでかつ供給電圧が低い電源でも、より正確にモニタするために用いられる差動検出入力に対応します。

供給電源のシーケンス制御

4.1 はじめに

複数電圧が必要なデバイスがペイロード・セクションで何個使用されているかによって、回路基板上の供給電源（DC - DC コンバータ、LDO、基準電圧）の数は決定されます。そしてこれらのデバイスが供給電源のシーケンス制御を決定します。電源シーケンス制御は、ボード上のすべての電源が常に任意にオンされるべきではなく、むしろ或る決められた順序（シーケンス）でオンオフされるべきであることを示しています。

例えば回路基板上に 3.3V と 1.8V、および 1.2V の 3 電源が必要なデバイスがある場合、通常最も低い電源を最初にオンにし、二番目にその次に高い電圧が続くべき、などと指定されます。即ち電源投入シーケンスは 1.2V、その後 1.8V、最後に 3.3V です。このシーケンスでこれらの電源をオンすることは、1.2V 電源からの “power good” 信号を 1.8V 電源のイネーブル信号に接続し、そして次に 1.8V の “power good” 信号を 3.3V 電源のイネーブル信号に接続することで容易に実装できます。しかしながら、それぞれ独自のシーケンス制御要件を持つ複数のデバイスがあるとき、シーケンス制御に必要なロジックは複雑になってしまいます。

相反するシーケンス要件を持つ供給電源のシーケンス制御

仮に同一ボード上に 3.3V と 2.5V、および 1.2V の電源が必要な第二のデバイスがあり、最も高い電圧から始めて電源をオンしなければならないとしたら、どうなるでしょうか？ メイン入力電源が 3.3V というような場合、これはさらに複雑になります。ここで設計者は、可能な限り少ない電源数でシーケンス制御を実現する必要があるものとします。

この場合通常のシーケンスと相反して電源をオンオフするために、MOSFET が用いられます。図 4-1 の回路はそのように適用した例を示します。

電源遮断シーケンス

デバイスによっては、電源による望ましくない副作用を防ぐ必要があります。例えば電源投入シーケンスの逆順でオフしないと、特定の電源が過電流の状態になり破損してしまうデバイスもあるかもしれません。これらの場合 DC - DC コンバータへの電源をすべて同時にオフにすることは、(デバイスの) 安全な遮断を保証しないかもしれません。というのは、DC - DC コンバータ出力にコンデンサが接続されているため、すべてが同時に放電するとは限らないためです。

電源投入時の 2 電源間の最小間隔

通常の場合、ボードが信頼性高く立ち上がらない現象は、ボードのデバッグ段階で発見されます。最も良いソリューションは、シーケンス制御ステップ間の遅延を長く、または短くすることが容易なことです。

ボードデバッグ段階に確認された変更点のシーケンス制御への反映

ボード設計エンジニアは、ボード上のデバイスに対するシーケンス制御のすべての要件を、ボード設計の最終段階では満足させる必要があります。電源シーケンス制御セクションは、ボードの改版を防ぐために、一般的に部品追加を想定したり 0Ω ジャンパを配置したりなど、十分な備えをして設計されます。これは部品点数を増加させますが、それでも一本や二本のジャンパ線は避けられないかもしれません。

供給電源のランプレート制御

突入電流を最小にするため、デバイスによっては電源がゆるい傾きでオンされる必要があります。この要件を満たすために MOSFET を介して電力を供給し、そしてランプレートを MOSFET のゲートによって制御します。

非アクティブな期間は節電のために未使用の電源ドメインを遮断する

総合的なボードの消費電力を減少させるために、ボード上で使用していない部分の電源をオフすることがあります。これは電源ドメインがオンされる時、そのドメインにおける電源が特定の順序でオンされる必要があることをしばしば意味します。ボードのそれ以外の部分の動作が中断することを避けるためには、システムの電流グリッチを最小にする目的で、時には遮断シーケンスが必要かもしれません。

4.2 ラティス・パワーマネージャII デバイスを用いる柔軟な N 系統の電源シーケンス制御

ラティスのパワーマネージャII デバイスは理想的な機能セットを備えています。例えば、PLD や複数のプログラマブル閾値コンパレータ、複数のプログラマブル・タイマ、そしてプログラマブル・ランプレートで MOSFET をオンオフ制御するために用いることができるチャージポンプが複数回路です。デバイスのすべての機能およびシーケンス制御アルゴリズムが、PAC-Designer ソフトウェアツール内の LogiBuilder ユーティリティによって制御できるため、結果としての電源管理が非常に柔軟になります。アルゴリズムが故障状態のすべてを処理できることを確実にするために、シーケンス制御アルゴリズムをシミュレーションすることもできます。

図 4-2 はラティス ispPAC-POWR1014A デバイスを用いた典型的な電源シーケンス制御の実装例を示します。この回路では、DC - DC コンバータは ispPAC-POWR1014A デバイスによって制御されます。ispPAC-POWR1014A デバイス出力と Low アクティブのイネーブル信号は直接インターフェイスすることもできますが、High アクティブのイネーブル信号によってインターフェイスするためには、外付けトランジスタが必要でしょう。

電圧はシーケンス制御中やその後に監視される

すべての DC - DC コンバータ電圧は、ispPAC-POWR1014A デバイスのプログラマブル閾値コンパレータによってモニタされます。この回路では、ispPAC-POWR1014A デバイスは PAC-Designer ソフトウェアツールを用いて設計したプログラマブルなアルゴリズムを用いて、DC - DC コンバータのイネーブルピンによって DC - DC コンバータをオンオフします。電源シーケンス制御の間、ispPAC-POWR1014A デバイスは、高精度で閾値がプログラマブルなオンチップ・コンパレータを用いることで、それぞれの DC - DC コンバータの出力電圧をモニタします。

電源シーケンス制御は ispPAC-POWR1014A のオープンドレイン出力ピンによって制御されます。これらの出力ピンはオンチップ PLD によって制御されます。シーケンス制御アルゴリズムは PAC-Designer ソフトウェアの LogiBuilder ユーティリティを用いることで実装され、以下のシーケンス制御手法を実現することができます。

1. シーケンス制御なし ~ すべての電源が同時にオンされ、そしてシーケンス制御は不要
2. すべての電源がそれらの動作レベルに到達するのを待ち、その後ボードが初期化プロセスを始めるように “power good” 信号を生成する。動作電圧レベルとは許容電圧範囲の最低値以上で、最大値以下である
3. 閉ループ・シーケンス制御 ~ 前の電源が動作レベルに達した後のみ、次の電源がオンされるシーケンス
4. 時間ベースのシーケンス制御 ~ 最初の電源が正常な動作レベルに達したかどうかチェックした後に、電源シーケンスは必ず時間遅延をそれぞれの電源の間に挿入する
5. 時間遅延がある閉ループ・シーケンス制御 ~ 最初の電源がオンになり、かつそれが正常な動作電圧レベル内にある状態で、固定時間後に第二の電源がオンされる
6. 電源はある時間以内に正常動作状態に到達するが、電源はその投入時にしばしば故障するため、この故障した電源を待つシーケンス制御になっている場合はロック状態になる。これを防ぐために、電源をオンしてから規定時間以内に正常な動作電圧レベルに達しない場合に、その電源は故障と判断し、その後正常起動不成功時のシーケンス動作を開始する

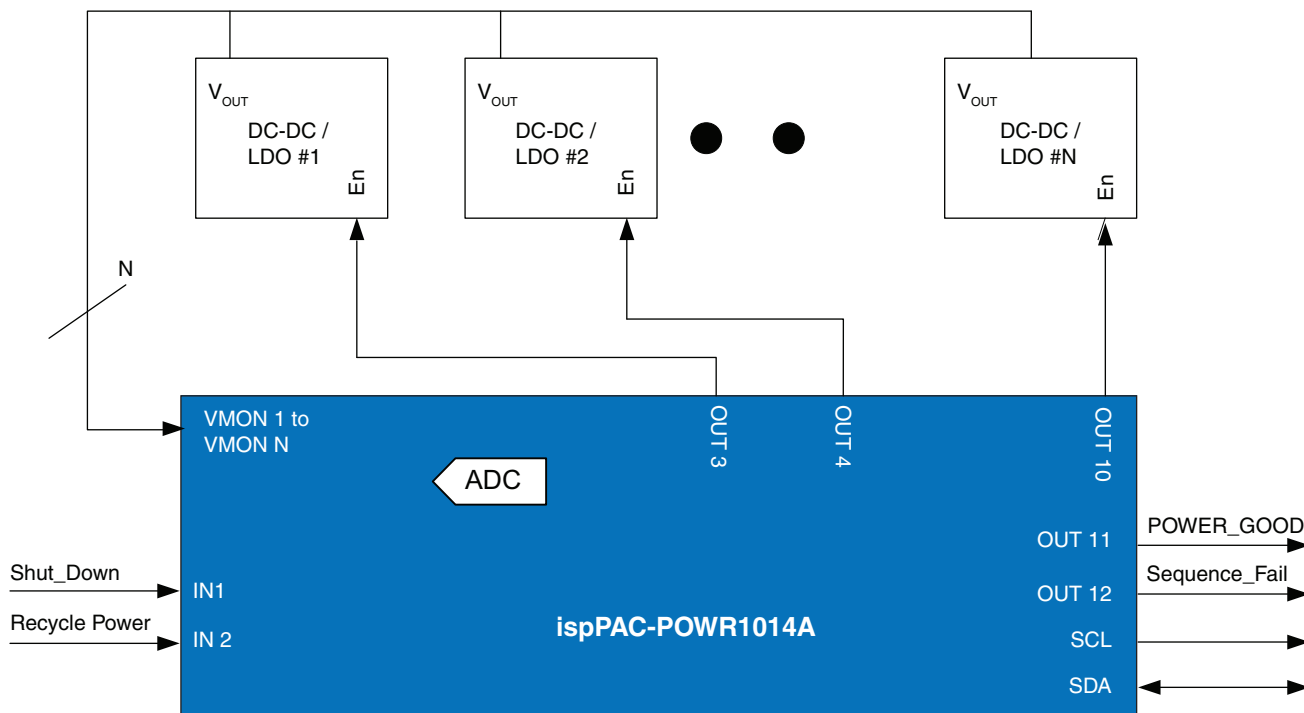
7. WDT で複数の電源をオンする ~ この場合、電源は上述の方法のいずれかを用いることでオンされる。すべての電源をオンした後に、電源シーケンスの制御アルゴリズムは WDT の期間中にすべての電源がオンしていることを確認する。WDT がタイムアウトした場合は、不成功時のシーケンス動作を開始する

PAC-Designer ソフトウェア内の LogiBuilder ユーティリティを用いることで、これらのシーケンス方法のいずれか、或いはすべてを実装することができます。LogiBuilder は直感的でユーザフレンドリ、かつ強力な 6 タイプの命令を用いることで、電源管理プログラムの実装を可能にします。設計者は単にその電源を管理するために適切な LogiBuilder 命令を用いることによって、各電源または電源グループに対してこれらの電源投入ルールを柔軟に適用できます。

N 系統電源の閉ループ・シーケンス制御アルゴリズム

このセクションでは、図 4-2 で示される ispPAC-POWR1014A デバイスに実装された、閉ループ N 系統電源のシーケンス制御アルゴリズムを記述します。表 4-1 は関連するシーケンス制御方法に伴う LogiBuilder 命令の詳しい説明です。

図 4-2 ispPAC-POWR1014A デバイスを用いる N 系統電源の柔軟なシーケンス制御



電源管理アルゴリズムは、LogiBuilder 命令による一連のステップで LogiBuilder を用いて実装されます。そしてパワーマネージャ II は、ボード上の電源をシーケンス制御するためにこれらのステップを実行します。この例には N 系統の電源があります。

最初の N ステップの間、LogiBuilder 命令はそれぞれの供給電源をオンし、動作下限電圧に到達するのを待ちます。以下は各ステップの説明です。

1. DC-DC / LDO #1 をオンする。コンバータをイネーブルし、そして出力電圧が動作範囲に到達するのを待つ ispPAC-POWR1014A は特定の供給電源をモニタするために、高精度のプログラマブル閾値コンパレータを 2 個使用します [註⁴]。コンパレータ閾値の一つがその供給電源の許容電圧下限に設定され、そして第二のコンパレータ閾値は許容電圧上限に設定されます。DC - DC コンバータの電圧が電圧上限と電圧下限の間にあるとき、動作範囲内にあることとなります。
2. DC-DC / LDO #2 のイネーブル信号をオンし、そして出力電圧が動作範囲に到達するのを待つ
3. DC-DC / LDO#3 のイネーブル信号をオンし、そして出力電圧が動作範囲に到達するのを待つ (ステップ 2 と同じ機能)
4. 電源 #4 をオンし、ステップ 2 と同じ機能を続ける
5. 電源 #5 をオンし、ステップ 2 と同じ機能を続ける (6…M: 略。電源個数による)
- N. 電源 #N をオンし、ステップ 2 と同じ機能を続ける
- O. もしすべての電源が動作範囲内にある場合、“Power Good” 信号をアクティブにする。電源のどれかが不良である場合、すべての電源をオフして、Sequence_Fail 信号をアクティブにする
- P. Recycle_Power がアクティブになるのを待ち、その時はステップ 1 にジャンプする
- Q. 遮断信号割り込みルーチン。遮断信号がアクティブになるとき、ステップ 0 にジャンプする

故障監視アルゴリズムのある N 系統電源の閉ループ・シーケンス制御

上に示す N 系統電源の閉ループ・シーケンス制御アルゴリズムでは、電源の故障が一つでもあると永遠にシーケンスが進むのを妨げてしまいます。ほとんどのアプリケーションにおいては、この現象は許容できるかもしれませんが、他方、IC によっては長時間にわたり部分的に給電された状態にあることに注意を要するかもしれません。その場合 “ モニタモードがある電源オン ” を含むように、アルゴリズムを変更することができます。すなわちアルゴリズムのステップ 2 を、例えば以下のように変更できます。

1. DC-DC #1 をオンする。コンバータをイネーブルし、そして出力電圧が動作範囲に到達するのを待つ
2. DC-DC #2 のイネーブル信号をオンし、そして 5msec 以内に出力電圧が動作範囲に到達するのを待つ。電源が 5msec 以内で動作範囲に達しない場合、ステップ 0 にジャンプするか、または残りの電源をオフしたまま先に進む
3. DC-DC #3 をオンする。コンバータをイネーブルし、そして出力電圧が動作範囲に到達するのを待つ
4. 電源 #4 をオンし、ステップ 3 と同様に続ける
5. 電源 #5 をステップ 2 と同様に故障をモニタしながらオンして続ける (6…M: 略。電源個数による)。
- N. 電源 #N をステップ 3 と同様にオンして続ける
- O. もしすべての電源が動作範囲内にある場合、Power Good 信号をアクティブにする。電源のいずれかが不良の場合、すべての電源をオフして、Sequence_Fail 信号をアクティブにする
- P. Recycle_Power がアクティブになるのを待ち、その時はステップ 1 にジャンプする

4. ISPPAC-POWR1014/A, 1220AT8 には各 VMON 差動入力ピンごとにコンパレータが 2 個ある

LogiBuilder 命令のシーケンス制御手法への適用

既に述べたように、PAC-Designer ソフトウェアツールの LogiBuilder ユーティリティは、異なるタイプのシーケンス制御に直接対応するための命令を備えています。図 4-3 は電源シーケンス制御回路のブロック図を示します。表 4-1 はデバイス #1 への電源をイネーブルするために用いられる、異なるシーケンス制御手法を実装するための LogiBuilder 命令シーケンスを記載しています。

本例では、デバイス #1 の要件は最初にオンする電源が 1.2V でなければならず、そして 2 番目は I/O 用の 2.5V、そして最後がその他の I/O 用の 3.3V というものです。以下の表はデバイス #1 のシーケンス制御要件を満たしつつも、異なるシーケンス制御方法を実装するための LogiBuilder 命令を記述します。

図 4-3 ispPAC-POWR1014A によって管理されるペイロードデバイスへの 3 電源

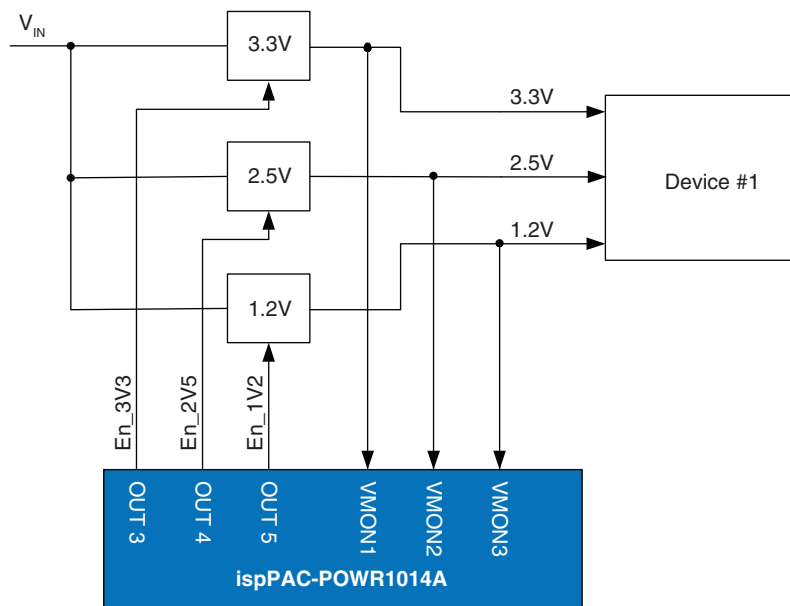


表 4-1 特定のシーケンス制御手法のための LogiBuilder 命令とその記述

シーケンス制御手法	LogiBuilder 命令	出力	記述
1.2V の次に 2.5V と 3.3V が続く閉ループ・シーケンス制御	Wait for Core_1V2_OK	En_1V2=1	1.2V DC-DC をイネーブル (High アクティブ) し、そして 1.2V が規定値になるまでこのステップで待つ
	Wait for IO_2V5_OK AND IO_3V3_OK	En_2V5=0 En_3V3=1	2.5V DC-DC をイネーブル (Low アクティブ) し、そして 3.3V DC-DC もイネーブル (High アクティブ) する。2.5V と 3.3V 電源が共に規定値になるまでこのステップで待つ
1.2V の 5msec 後に 2.5V が続く閉ループ・シーケンス制御	En_1V2=1		1.2V DC-DC をイネーブル (High アクティブ) する。1.2V が規定値になるまでこのステップでは待たない
	Wait for 5ms using Timer 1		次の電源をアクティブにする前に、このステップで 5msec 待つ
	En_2V5=0		2.5V DC-DC をイネーブル (Low アクティブ) する。2.5V が規定値になるまでこのステップでは待つことなく、次の命令に進む

Power 2 You: 電源管理・制御の完全ガイド

表 4-1 特定のシーケンス制御手法のための LogiBuilder 命令とその記述

シーケンス制御手法	LogiBuilder 命令	出力	記述
1.2V の 5msec 後に 2.5V が続く閉ループ・シーケンス制御	Wait for Core_1V2_OK	En_1V2=1	1.2V DC-DC をイネーブル (High アクティブ) する。1.2V が規定値になるまでこのステップで待つ
	Wait for 5ms using Timer 1		次の電源をアクティブにする前に、このステップで 5msec 待つ
	Wait for IO_2V5_OK	En_2V5=0	2.5V DC-DC をイネーブル (Low アクティブ) する。2.5V が規定値になるまでこのステップで待ち、その後次の命令に進む
電源をオンして、短時間以内にオンすることを確認する	Wait for Core_1V2_OK with Timeout of 5ms using Timer 1. If Timer 1 Go To Fault	En_1V2=1	このステップで 1.2V DC-DC をイネーブルし (High アクティブ)、そして 1.2V が (Timer1 で決定される) 5msec 以内で規定値になるまで待つ。Timer1 が先にタイムアウトした場合、Fault ルーチンにジャンプする
WDT で複数の電源をオンする	Start Timer 2		タイマ 2 は WDT (例えば 20msec) で、シーケンスの開始前に起動する
	En_1V2=1, En_2V5=0		1.2V DC-DC と 2.5V DC-DC をイネーブルする。両電源が規定値に到達するまで待つことはしないで次に進む
	If Core_1V2_OK AND IO_2V5_OK Then next step. Else if Timer 2 Then jump to Failt Else Stay at this step		このステップは、1.2V と 2.5V 電源の両方が 20msec タイマ待ち以内にオンするのを待つ。立ち上がったら、制御は次のステップにジャンプする。20msec 以内にオンすることに失敗したら、制御は Fault ルーチンにジャンプする

これらのシーケンス制御方法のいずれもが、どのような電源や電源グループにも適用することができます。タイマ値は 32 μ sec から 2sec の間の値に設定できます。

パワーマネージャ II ベースの電源シーケンス制御の利点

電源のシーケンス制御は完全にプログラマブルです。設計者はボードが信頼性高く起動するように、ボード組立て後にシーケンスのオンオフや関連するタイミングを調整することができます。ボードの改版は全く不要です。いったん電源のシーケンス制御が終わると、ispPAC-POWR1014A デバイスはすべての電源を故障がないかモニタします。

パワーマネージャ II に集約することができる付加的な電源管理機能

図 4-3 の回路において ispPAC-POWR1014A は柔軟なシーケンス制御を行います。ispPAC-POWR1014A に集約することができる他の機能は以下の通りです。

1. 電圧監視 ~ シーケンス制御した後にすべての電源故障を監視し、そして電圧低下の検出時などに割り込み信号を生成する
2. リセット生成 ~ シーケンスが完了後に、CPU へのリセットを解除する
3. 活線挿抜コントローラ ~ 正電圧の活線挿抜対応ボードで電源シーケンス制御が必要であれば、さらに活線挿抜機能を集約する
4. 電圧測定 ~ 電源のすべてについて故障を監視することに加えて、外部マイクロコントローラが I²C インターフェイスを通して個々の電圧を測定する
5. 故障情報のログ ~ 故障の場合のデバッグを支援するため、ispPAC-POWR1014A は不揮発性メモリにログする目的で、コンパレータのステータスをすべて外部 PLD へ出力する

適用可能なパワーマネージャ II デバイス

シーケンス制御の実装に使用することができるパワーマネージャ II デバイスは、ispPAC-POWR122 OAT8 と ispPAC-POWR1014/A、ispPAC-POWR607、および ProcessorPM-POWR605 です。

4.3 MOSFET と DC-DC コンバータのイネーブル信号を用いるシーケンス制御

設計によっては DC - DC コンバータを追加せずにデバイスのシーケンス制御ニーズを満たすために、MOSFET が必要です。図 4-4 はそのような回路の一つを示しますが、ispPAC-POWR1014A デバイスが N チャネル MOSFET と共に DC - DC コンバータのイネーブル信号を制御します。この回路では、他の電源のすべてがオンされた後に、デバイス #1 に 3.3V を与えるために MOSFET が用いられます。

3.3V の電源を N チャネル MOSFET でオンするためには、ゲート電位は少なくとも 8V でなければなりません。ボード上で例えば利用できる 12V 電源を用いるとか、または 8V かそれ以上を生成するためにチャージポンプ IC を使用します。ispPAC-POWR1014A デバイスは、12V まで生成することができる、オンチップ・チャージポンプで動作する 2 系統の MOSFET ゲートドライバを集積しています。チャージポンプ電圧は 6V か 8V、10V、または 12V にプログラムできます [註⁵]。さらに MOSFET ドライバのプログラマブル・ソース電流機能を用いることで、MOSFET オン時のランプレートも制御することができます。ゲートドライブ・ソース電流は 12.5 μ A、25 μ A、50 μ A、または 100 μ A に設定することができます [註⁵]。電流値の設定が高ければ高いほど、MOSFET ターンオン時間はより速くなります。

回路動作

図 4-4 で示される回路において、ispPAC-POWR1014A デバイスは 1.8V と 2.5V、および 1.2V DC - DC コンバータのイネーブル信号を制御しています。ispPAC-POWR1014 の MOSFET ドライバは、MOSFET Q1 をオンオフするために用いられます。シーケンス制御ロジックは、PAC-Designer ソフトウェアツールの LogiBuilder ユーティリティを用いることで PLD に実装されます。

シーケンス制御が完了後に、ispPAC-POWR1014A は Power_Good 信号をアクティブにします。シーケンス制御の完了に失敗すると、アルゴリズムは（シーケンスを完了するために制御不成功のフラグである）Failed 信号をアクティブにします。

Shut_Dn 信号は逆順で電源をオフするために用いられる入力です。

電源シーケンス制御アルゴリズム

パワーマネージャ II に実装されるアルゴリズムを表 4-2 と表 4-3 に示します。これらの表では PAC-Designer ソフトウェアから抽出された実際の LogiBuilder コードを用いています。

5. デバイスにより異なる

図 4-4 MOSFET と DC-DC イネーブルでシーケンス制御を実装する ispPAC-POWR1014A

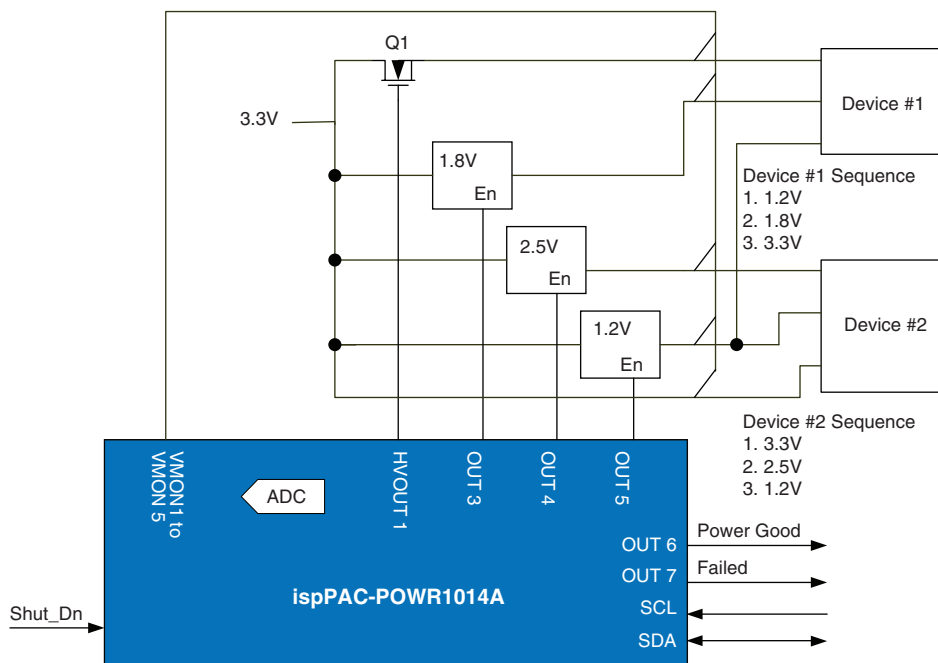


表 4-2 ステートマシン 0

ステップ	命令	出力	割り込み可	コメント
0	Begin Startup Sequence		0	ispPAC-POWR1014-02 リセット
1	Wait for AGOOD		0	
2	Wait for INP_3V3_OK		0	入力電源が動作範囲以内になるまで、シーケンス制御を進めない
3	Wait for IO_2V5_OK	En_2V5 = 1,,	0	3.3V はデバイス #2 用に安定。ここで 2.5V をイネーブルし、そして動作範囲に到達するのを待つ
4	Wait for Core_1V2_OK or 2.56ms using Timer 1 IF Timeout Then Go to 13 with {Failed=1,}	En_1V2 = 1,	0	1.2V 電源は 2.5msec 以内にオンしなければならない。1.2V のオンに失敗したら、Failed 信号をアクティブにする
5	Wait for IO_1V8_OK	En_1V8 = 0,	0	Low アクティブのイネーブル信号で 1.8V をオンし、そして動作レベルに到達するのを待つ
6	Wait for FET_3V3_OK	En_3V3_MOSFET = 1,	0	MOSFET をオンしてデバイス #1 への 3.3V 給電を開始し、それが安定するのを待つ
7	Wait for NOT INP_3V3_OK OR NOT IO_2V5_OK OR NOT IO_1V8_OK OR NOT Core_1V2_OK OR NOT FET_3V3_OK	Power_Good = 1,	1	いずれかの電源が故障しないかどうか待つ。いずれかの電源が故障した場合、すべての電源を逆順でオフにする。ステートマシンは本ステップに入ると直ぐに “Power Good” 信号をアクティブにする。
8	Begin Shutdown Sequence		0	
9	En_3V3_MOSFET = 0, Power_Good = 0		0	故障状態。最初に MOSFET をオフし、そして Power_Good 信号を非アクティブにする
10	Wait for 2.56ms using Timer 1		0	

表 4-2 ステートマシン 0

ステップ	命令	出力	割り込み可	コメント
11	En_1V8 = 1,		0	1.8V 電源をオフする (Low アクティブ)
12	Wait for 2.56ms using Timer 1		0	
13	En_1V2 = 0,		0	1.2V 電源をオフする
14	Wait for 2.56ms using Timer 1		0	
15	En_2V5 = 0,		0	2.5V 電源をオフする
16	Halg (end-of-program)		0	

表 4-3 例外処理の表

EID	表記	出力	例外ハンドラ	コメント
0	If Shut_Dn	{no outputs specified}	Go to step 8	Shut_dn 信号がアクティブなとき、電源の遮断を逆順で開始する

適用可能なパワーマネージャ II デバイス

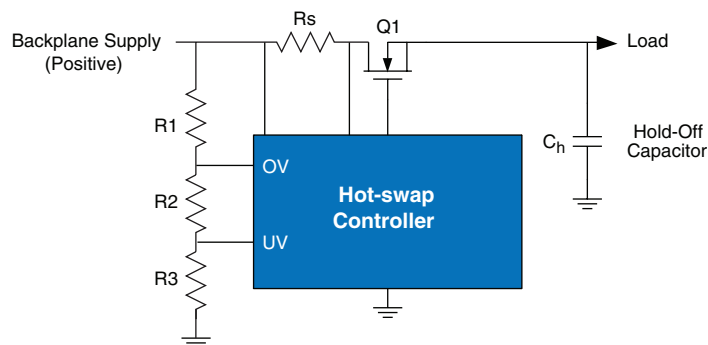
MOSFET を用いた電源シーケンス制御は ispPAC-POWR1220AT8、ispPAC-POWR1014/A、および ispPAC-POWR607 デバイスに実装することができます。

活線挿抜コントローラ

5.1 活線挿抜コントローラとは？

活線挿抜コントローラは、通電しているバックプレーンに回路基板が挿入される時の突入電流を制限します。さらにこれらのデバイスは過電流や過電圧、および不足電圧などに対する回路基板の保護も行います。図 5-1 は正のバックプレーン供給電源に対する、典型的な活線挿抜コントローラを実装したブロック図を示します。Rs は電流検出抵抗で、MOSFET Q1 は回路を流れる電流を制御するために用いられます。抵抗 R1 と R2、および R3 は、バックプレーン電圧をモニタするために使用します。ホールドオフ・コンデンサ (Ch) は、バックプレーン電圧が一時的 (例えば 10msec 未満) に動作電圧の下限よりも低下するとき (不足電圧)、電力をボードに供給するために用いられます。

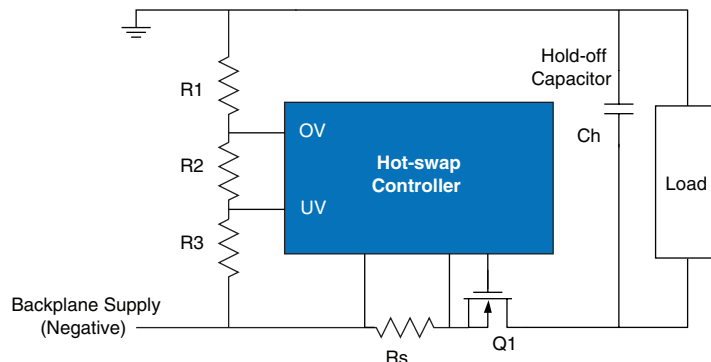
図 5-1 正の電源電圧の活線挿抜コントローラ



通電しているバックプレーンにカードが挿入されるとき、ホールドオフ・コンデンサ Ch はバックプレーンから多量の電流を引き込み始めます。活線挿抜コントローラは、Rs 両端の電圧をフィードバックとして用いることで、MOSFET ゲートに与える電圧を制御して突入電流を制限します。コンデンサ Ch が完全に充電されるまで、MOSFET はこの電流制限モードで動作します。短いコンデンサ充電期間にバックプレーンから得られる突入電流は、時には通常のボード動作電流よりかなり大きい場合があります。その結果、バックプレーンに取り付けられた他のカードにとって、バックプレーン電圧が瞬間的に動作電圧の下限閾値より低下することがあり得ます。コンデンサ Ch に充電された電荷によって、電源が落ち込むこの短い時間、カードの動作を維持します。

活線挿抜コントローラはまた、動作中に故障が発生した際にバックプレーンからボードを隔離するためにも必要です。この目的のために活線挿抜コントローラは検出抵抗 R_s を流れる電流をモニタします。抵抗 R_s 両端の電圧が閾値以上に上昇するとき、活線挿抜コントローラは MOSFET をオフにします。

図 5-2 負の電源電圧の活線挿抜コントローラ



バックプレーン電圧が不足電圧の閾値以下になると、または過電圧の閾値以上になると、MOSFET をオフにすることによって負荷への電力供給が止められます。

通信業界で良く採用されているバックプレーン電圧の一つは -48V です。負の電源電圧用の活線挿抜コントローラは、図 5-2 で示されるように負の電源パス上で電流制限 MOSFET を用います。負電源用の活線挿抜コントローラの機能は、上述した正電源用の活線挿抜コントローラと同様です。

活線挿抜回路設計の考察

活線挿抜コントローラ回路では、ホールドオフ・コンデンサが充電される期間、MOSFET は高いレベルの電力消費に耐えなければなりません。このために MOSFET が適合するかどうかは安全動作領域 (Safe Operating Area: SOA) カーブで決定されます。

回路基板の故障が起こると、MOSFET を流れる電流は著しく増加する可能性があります。MOSFET がすぐオフにされないと、MOSFET で消費されるピーク電力によって破損に至る場合があります。また過電流状態を監視して折り返し型 (foldback) 電流制限メカニズムを開始するか、または MOSFET をオフするために、活線挿抜コントローラが必要です。大電流の条件下では、通常 MOSFET はおよそ $1\ \mu\text{sec}$ 以内にオフされるべきです。その後何らかの事由によってそれ自身で故障が解消される場合、活線挿抜コントローラによっては、ボードをオンするための“リトライ”機能を実装します。活線挿抜コントローラはまた、電圧低下を監視する必要もあり、そのような場合は (MOSFET をオフして) ボードを遮断します。

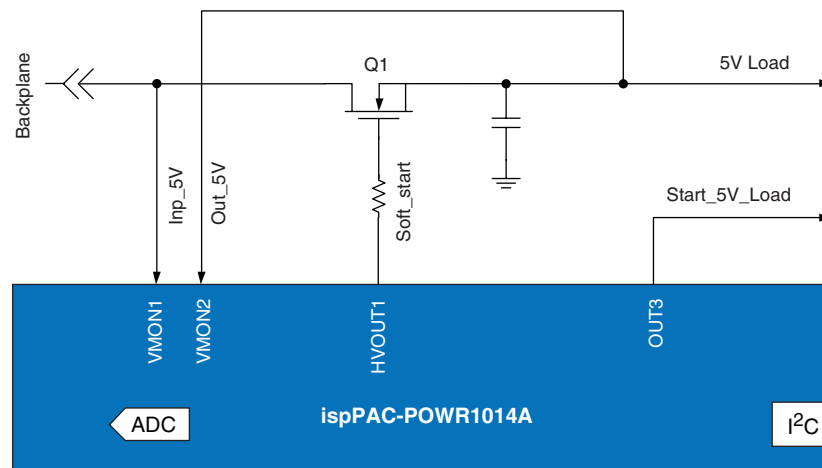
5.2 パワーマネージャ II デバイスを用いた正電源の活線挿抜コントローラ

活線挿抜コントローラには多くのタイプがあり、異なる電流制御や他の監視メカニズムを持ちます。通常、活線挿抜コントローラの複雑さは回路基板の消費電力要件に依存します。このセクションでは、簡素なものから洗練されたものまでに及ぶ活線挿抜コントローラを実装するために、ラティスのパワーマネージャ II デバイスをどのように使用することができるかを示します。

ソフトスタートを用いる活線挿抜コントローラ

図 5-3 は簡素な活線挿抜コントローラを実装したラティス ispPAC-POWR1014A デバイスを示します。また、この回路の動作原理は“ソフトスタート”メカニズムと呼ばれます。

図 5-3 MOSFET ランプレート制御によって実装された活線挿抜制御



回路動作

このデザインではバックプレーン電源は 5V です。ispPAC-POWR1014A デバイスが搭載されているカードが、通電している 5V バックプレーンに挿入されます。ispPAC-POWR1014A デバイスは、最初に 5V バックプレーン電圧が接触初期の変動から安定するのを待ちます（デバウンス期間）。その後、ispPAC-POWR1014A は Soft_start (HVOUT) ピンを通して MOSFET Q1 をオンします。HVOUT ピンのソース電流は最小限に設定されています (12.5 μ A) ので、ゆっくり MOSFET ゲート容量を充電します。結果として MOSFET のオン抵抗もまた、ゆっくり最終的な RDSon 値 (通常は数十～数百 m Ω の範囲) に減少します。MOSFET のこのゆるやかなオン抵抗の減少が、突入電流を減らします。

この回路は低消費電力と低電圧ボードのみで用いることができます。また MOSFET によって消費される瞬時電力がその SOA 仕様に違反しないことが必要です。

ソフトスタート・アルゴリズム

1. Inp_5V 信号をモニタすることによって、5V が 100msec 継続してオンになるのを待ち、かつそれが許容範囲以内にあること確認する
2. ソフトスタート信号をロジック 1 (High) にセットし、Q1 をオンする
3. Out_5V 信号をモニタすることによって、5V 負荷の電源が許容範囲以内になるまで待つ

4. Start_5V_Load 信号によって 5V 負荷をイネーブルする

この回路のプログラマブルな機能

この回路が広範囲のアプリケーション・ニーズを満足させるように、以下のパラメータを変更することができます。

- 異なるバックプレーン電圧に適するように、コンパレータ閾値を例えば 5V や 3.3V などに設定変更できます。12V 用のソフトスタート機能は P チャネル MOSFET を用い、そしてロジック出力の 1 本でドライブするように実装することができます。N チャネル MOSFET を用いることで、負電源のソフトスタートも実装できます。
- コンタクト時のデバウンス期間は、50msec から 2sec の間で設定できます。
- 各 HVOUT ピンには 4 種の電流設定が用意されており、MOSFET 立ち上がり時のランプレートを設定できます [註⁶]。
- 二電源バックプレーン用のデュアル活線挿抜コントローラは、ispPAC-POWR1014 デバイスの MOSFET ドライバを 2 本用いることで実装できます。

その他のボード電源管理機能を ispPAC-POWR1014A に集約

図 5-3 の例では ispPAC-POWR1014A デバイスのわずかな部分しか使用しません。残りのリソースは電源シーケンス制御や電圧監視、リセット生成、および WDT 機能などのボード電源管理機能を実装するために使用することができます。

さらに故障ボードの識別や保護機能を含めることがあるかもしれません。ボードに問題がない場合、ホールドオフ・コンデンサの電圧は短時間（例えば 5msec 以内）で安定するはずですが、（期待されるより多くの電流を引き込む）ボード故障の場合、コンデンサの電圧は下限閾値より低下するでしょう。そのような状態が発生した場合、MOSFET は直ちにオフされます。これによってバックプレーンの過負荷状態が継続することを防ぎます。

また負荷回路が安全にオフするように、バックプレーン電圧をモニタしてウォーニングを早めに生成できます。

ispPAC-POWR1014A の ADC を用いることで、集積されている I²C インターフェイスを介してのバックプレーン電圧やその他のボード上の電圧測定ができます。

適用可能なパワーマネージャ II デバイス

図 5-3 の例ではソフトスタート機能を実装するために ispPAC-POWR1014A デバイスが用いられました。或いはソフトスタート制御アプリケーションは ispPAC-POWR1220AT8、ispPAC-POWR1014、および ispPAC-POWR607 デバイスにも実装できます。一方で ispPAC-POWR607 デバイスはプログラマブル・ランプレート制御機能に対応しません。

ヒステリシス電流制限メカニズムがある活線挿抜コントローラ

消費電力のより大きいボード用に活線挿抜コントローラを設計する場合や、或いは活線挿抜動作中の MOSFET の SOA 制限を満たすことの確証が得られない場合、さらには同じバックプレーンに挿入されている他のボードの動作中断を防ぐためにバックプレーン突入電流を制限する必要がある場合などは、図 5-4 の回路を採用するべきです。この回路は、MOSFET Q1 がオンされると動作を開始し、電流はコンデンサ Ch を充電するために増加し始めます。電流が設定値を超えると、活線挿抜コントローラ内のロジックが MOSFET をオフし、その時点から電流は減少し始めます。電流が設定値以下まで低

6. 設定できる電流値はデバイスにより異なる

下すると、ロジックは MOSFET をオンし、すると電流は再び増加し始めます。MOSFET をオンオフすることによって電流を規定値に制限するこの方法は、ヒステリシス動作モードと呼ばれます。

図 5-4 ヒステリシス電流制限による活線挿抜コントローラ

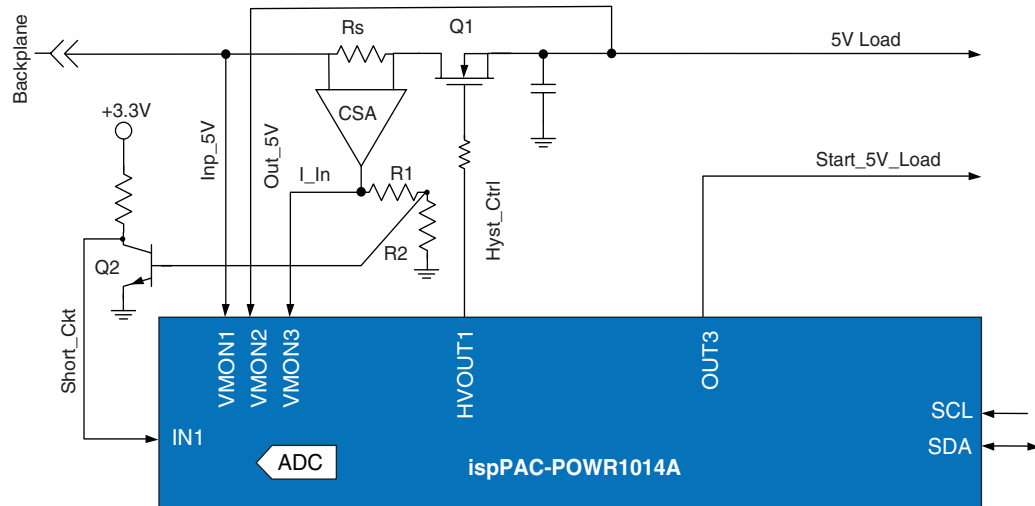


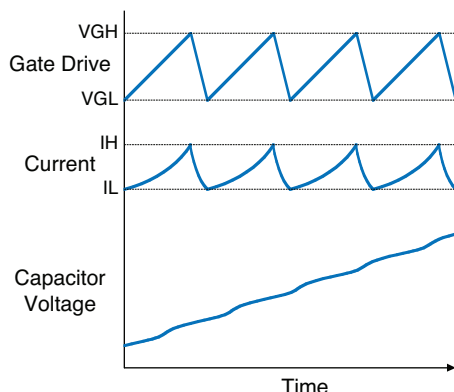
図 5-3 で示すソフトスタート制御回路と比較して、2 つの追加ブロックがあり、それらは電流監視と高速遮断制御です。また ispPAC-POWR1014A デバイスの高電圧 MOSFET ゲートドライブ端子の名称が Soft_start から Hyst_ctrl に変更されています。

ヒステリシス制御メカニズムの動作原理

図 5-5 は MOSFET Q1 のゲートドライブのプロットで、MOSFET を流れる電流とコンデンサ Ch 両端の電圧を示します。Hyst_Ctrl 信号がオンされると、Q1 のゲート容量は充電され始め、同時に MOSFET を流れる電流が増加し始めます。この電流は検出抵抗 R_s を通り、このとき電流検出アンプ (CSA) は R_s 両端で降下する電圧に比例した電流を、直列に接続された抵抗負荷 $R1+R2$ に出力します。すなわち R_s を流れる電流に比例した電圧値としての信号 I_{In} が、ispPAC-POWR1014A でモニタされます (VMON 入力ピンの一つ)。 R_s を流れる電流が許容最大リミット (I_H) を超えると、この VMON ピンのコンパレータ出力がトグルし、PLD の論理式は Hyst_Ctrl ピンをオフします。Hyst_Ctrl ピンがロジック 0 (Low) のとき、MOSFET ゲートが放電し始め、そして MOSFET を流れる電流も低下し始めます。その結果 I_{In} ピンの電圧は低下し、 I_{In} ピンの電圧閾値 (I_L) 以下にさらに低下すると、ispPAC-POWR1014A の論理式は MOSFET をオンします。

この周期的なスロットル動作は、平均電流をその閾値設定によって決定される値に維持します。この技法は安定性に係わる潜在的な問題の多くを回避しつつ、線形な電流制御の利点の多くを提供します。

図 5-5 コンデンサによるヒステリシス電流制



短絡状態での MOSFET の遮断

回路の短絡が発生した場合、バックプレーンからの過電流の取り出しを防ぎ、かつ MOSFET がその消費電力限界を超えることによって破壊することから保護するために、電流が危険なレベルに達した時点から $1\ \mu\text{sec}$ 以内に MOSFET はオフされる必要があります。図 5-4 ではこの高速ターンオフを実装するために、5V 電源の電流が短絡電流レベルに達するとトランジスタ Q2 によって ispPAC-POWR1014A デバイスのデジタル入力が Low にドライブされます。Rs を短絡電流が流れるとき、R2 の両端の電圧がトランジスタの V_{be} である 0.7V になります。すると ispPAC-POWR1014A 内の論理が 200ns 以内に MOSFET をオフします。

ヒステリシス活線挿抜制御アルゴリズム

アルゴリズムは 2 つのセクションに分割されます。

- ヒステリシス制御のための論理式、および回路短絡イベント時に高速応答の MOSFET 遮断
- 総合的な活線挿抜イベント制御のためのシーケンス制御

論理式 1

$$\text{Hyst_Ctrl.D} = \text{En_Hot_swap AND NOT I_IN}$$

論理式 1 はヒステリシス制御を実装します。信号 En_Hot_Swap [註⁷] は活線挿抜コントローラをオンオフし、コンタクト時のデバウンス期間後のシーケンス制御アルゴリズムでオンされます。Hyst_Ctrl (D タイプ・フリップフロップ) は、I_In 信号電圧が過電流限界レベルを超えるとオフされて、I_In 信号が閾値以下に低下するとオンに戻されます。コンパレータのヒステリシスは、オンオフ間に遅延を与えます。

論理式 2

$$\text{Hyst_Ctrl.Reset} = \text{NOT Short_Ckt}$$

論理式 2 では、Short_Ckt 信号がロジック 0 (Low) になると直ちに MOSFET をオフします。

7. 本例ではデバイスの内部ノードとして定義している

シーケンス制御

1. Inp_5V 信号を監視することによって、5V が 100msec 継続してオンになり、かつそれが許容リミット以内になるのを待つ
2. En_Hot_swap 信号をオンすることによって、ヒステリシス付きの活線挿抜動作をオンする
3. Out_5V 信号をモニタすることによって、5V 負荷の電源が許容リミット以内になるのを待つ
4. Start_5V_Load 信号によって 5V 負荷をイネーブルする
5. 通常動作の間、過電流や過電圧、或いは電圧低下の故障がホールドオフ期間 (5 ~ 10msec) より長い時間継続する場合、MOSFET を遮断し、そしてリトライする

この回路のプログラマブルな機能

図 5-4 の回路は多くのプログラマブル機能を備えており、広範囲のアプリケーションに適するようになっています。

- 異なるバックプレーン電圧に適するように、例えば 5V や 3.3V などにコンパレータ閾値を設定できます。
- コンタクト・デバウンスの期間は 50msec から 2sec の間で設定できます。
- 過電流と短絡電流レベルを個別に設定できます。
- 二電源バックプレーン用に、この設計をデュアル活線挿抜コントローラの実装に使用できます。
- ホールドオフ時間(電源故障の状況下で MOSFET がオンに保持されるべき時間)は 2m ~ 100msec で設定できます。この時間が経過した後に MOSFET はオフされます。

ispPAC-POWR1014A に集約が可能なその他のボード電源管理機能

ソフトスタート方法に対するヒステリシス制御のアルゴリズム的な違いは、論理式が 2 本追加されていることです。結果として、残りのリソースはボードの電源シーケンス制御や電圧監視、リセット生成、および WDT 機能などを実装するために用いることができます。

故障ボードの識別と保護のためには、ステップ 4 の後に WDT を加えることでヒステリシス制御ループがオンされた直後から負荷電圧をモニタします。5V が動作閾値レベルに達する前にこのタイマがタイムアウトするケースは、コンデンサ Ch が充電されることを妨げる故障を暗示しますので、MOSFET をオフにして、そして電源故障を示す LED をオンします。負荷回路を安全にオフするように、バックプレーン電圧をモニタするロジックを加えて、ウォーニングを早めに負荷回路に与えます。

適用可能なパワーマネージャ II デバイス

図 5-4 の例は、ヒステリシス制御の活線挿抜機能を実装するために ispPAC-POWR1014A デバイスを用いました。或いは ispPAC-POWR1220AT8 や ispPAC-POWR1014、および ispPAC-POWR607 デバイスでもヒステリシス制御を実装することができます。

活線挿抜コントローラにパワーマネージャ II デバイスを用いる利点

市場には多くの活線挿抜コントローラがあります。設計者はボード管理機能に加えて、これらの活線挿抜コントローラ・デバイスを用いなければなりません。パワーマネージャ II デバイスは総合的なボード管理と共に、活線挿抜コントローラ機能をシングルチップに集約することによって、実装コストを削減します。

さらにこの設計は、広範囲のアプリケーションに適用するための柔軟性を備えています。

12V/24V 活線挿抜コントローラ

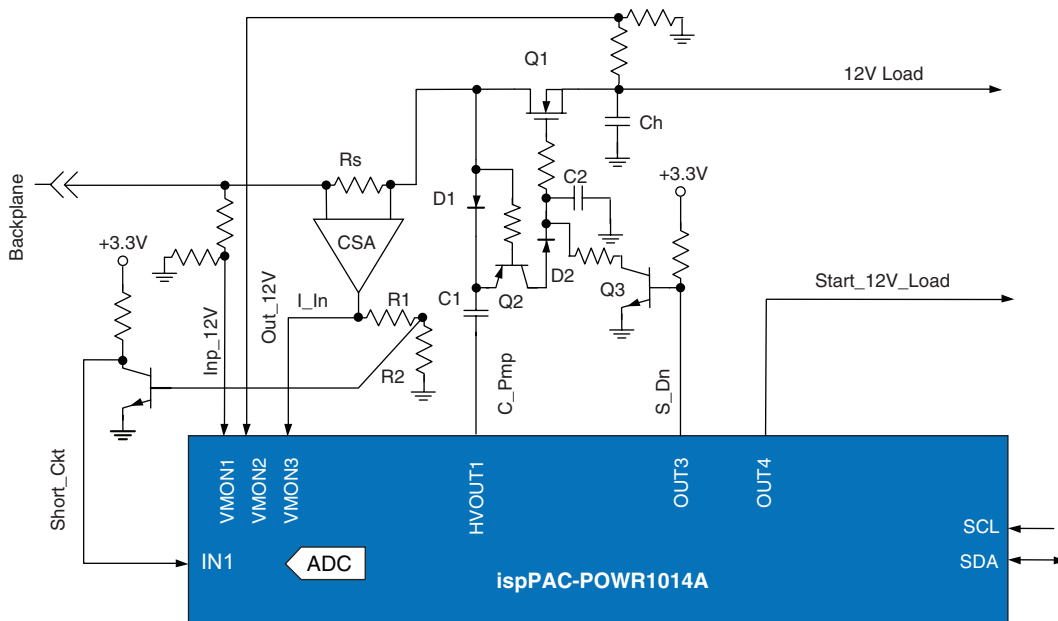
この回路の動作原理は、ヒステリシス制御メカニズムを持つ 5V 活線挿抜コントローラと同じですが、12V 活線挿抜機能に対応するために、外付けチャージポンプと、MOSFET の動作を SOA に制限するという 2 つの付加的な機能が加えられています。

ispPAC-POWR1014/A と ispPAC-POWR1220AT8 デバイスの MOSFET ゲートドライブの最大電圧は 12V です [註⁸]。しかしながら 12V や 24V 電源用の N チャネル MOSFET をオンするためには、それぞれ (電源電圧を約 10V 上回る) 22V や 34V 程度でゲートをドライブしなければなりません。この高電圧を達成するために、図 5-6 の回路ではダイオードとコンデンサ、およびトランジスタを用いて外付けチャージポンプを実装しています。

外付けチャージポンプの動作原理は以下の通りです (図 5-6)。C_Pmp 信号 (ispPAC-POWR1014A HVOUT1 ピン) は、12V (32 μ sec) と 0V (8 μ sec) の間で周期的にトグルします。C_Pmp 信号が 0V のとき、コンデンサ C1 はダイオード D1 を通して 12V のバックプレーン電圧で充電されます。このときトランジスタ Q2 はオフです。C_Pmp 信号が 12V にトグルすると、C1 電圧は C_Pmp ピン電圧に加えられ、結果的に C1 と D1 の接続点におよそ 24V が生成されます。この電圧が Q2 をオンし、ダイオード D2 を通してコンデンサ C2 を 22V に充電します。この電圧は MOSFET Q1 をオンするのに十分です。

S_Dn 信号によってドライブされるトランジスタ Q3 は、故障があるときに MOSFET Q1 のゲートと C2 を放電することによって、MOSFET Q1 を遮断するために用いられます。

図 5-6 ispPAC-POWR1014A デバイスを用いる 12V/24V 活線挿抜コントローラ



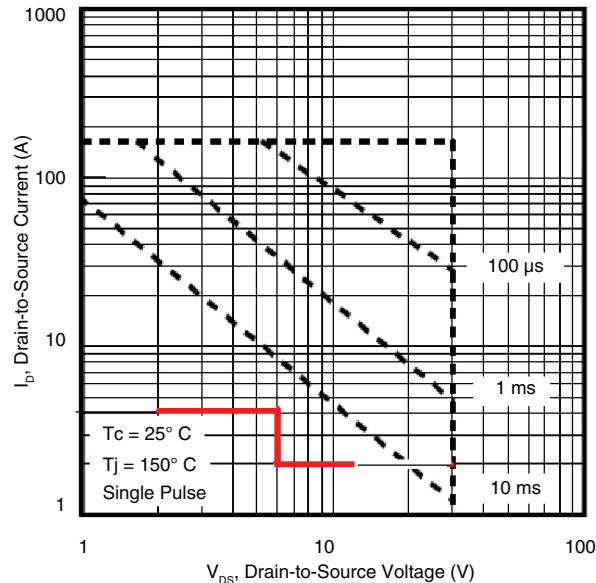
活線挿抜 MOSFET の安全動作領域内への制限

ispPAC-POWR1014A はヒステリシス制御ループを実装し、ホールドオフ・コンデンサ Ch を充電するとき、SOA 内に収めるために MOSFET を流れる電流を制限します。HVOUT1 ピンは、抵抗 Rs を流れる電流が設定された閾値を超えると、トグルを停止します。すると MOSFET ゲートの電圧は低

8. 当方は “-02” オプションのデバイスのみ

下し始め、MOSFET を流れる電流を減少させます。電流が閾値以下に低下するとき、再びチャージポンプをオンして、C-Pmp 信号はトグルし始めます。

図 5-7 MOSFET 安全動作領域 (IRF7832)



選ばれた MOSFET (IRF7832) の SOA は図 5-7 に両対数グラフで表され、横軸は MOSFET の V_{DS} 電圧、縦軸は MOSFET を流れる電流を示します。グラフ内の破線は MOSFET への印加電圧に対して特定のパルス幅に許容できる最大電流を示します。グラフの赤線（左下部の実線）は本回路の動作限界電流を示しますが、通電しているプロセス中、MOSFET は SOA 限界を超えることは決してありません。

図 5-8 で示されるオシロスコープ・プロットでは、緑色のトレースは MOSFET を流れる電流で、そして紫色のトレースはコンデンサ両端の電圧です。ご覧のように、コンデンサの電圧が 6V に達するまでは電流は 2A に制限され、その後に電流は 4A に制限されます。

図 5-8 MOSFET を流れる突入電流

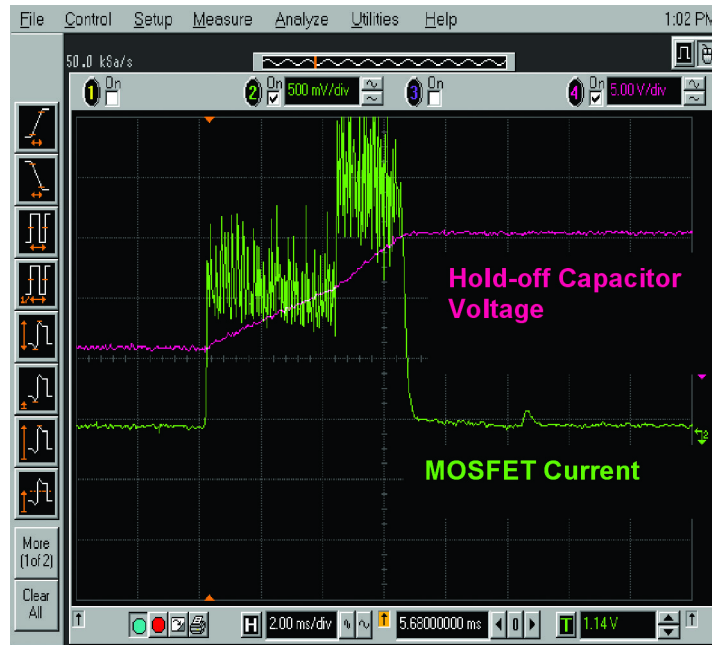
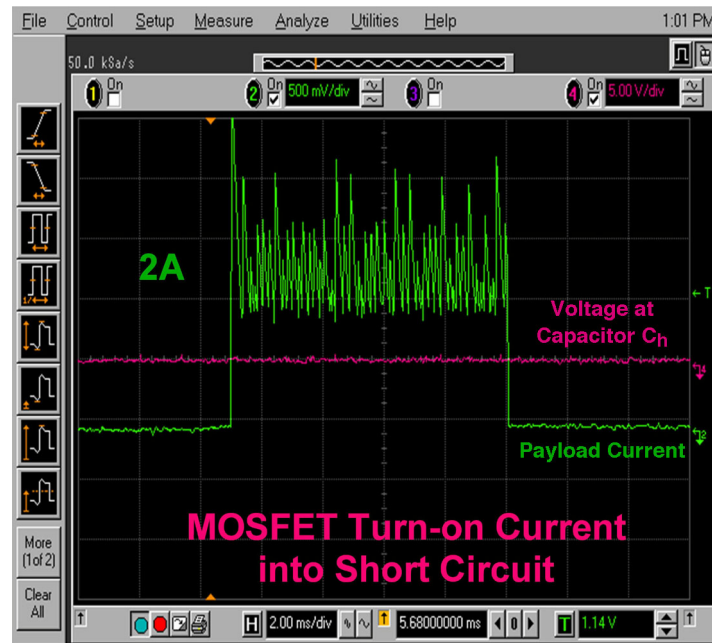


図 5-9 短絡時の回路動作



回路が短絡状態でオンされるときも、給電は通常のように開始されます。コンデンサ電圧が 10msec 以内に 9V に達しない場合、MOSFET は遮断され、そして回路はリトライコマンドを待ちます。図 5-9 はコンデンサ Ch を短絡に置き換えた場合の、MOSFET オン電流のオシロスコープ・プロットを示します。

12V 活線挿抜コントローラ・アルゴリズム

活線挿抜コントローラ・アルゴリズムは以下のセクションに分割されます。

- 外付けチャージポンプ動作のための論理式
- ヒステリシス制御のための論理式、および短絡時の高速応答 MOSFET 遮断
- 総合的な活線挿抜制御のためのシーケンス制御

論理式 3

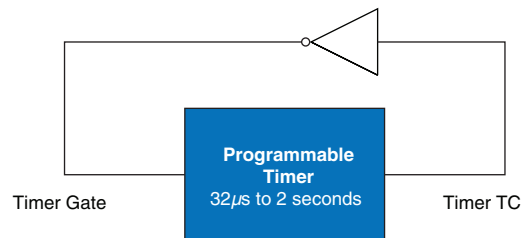
$$\text{Toggle_C_Pump.D} = 32 \mu\text{s Timer Terminal Count}$$

論理式 4

$$32 \mu\text{s Timer Gate.D} = \text{NOT Toggle_C_Pump}$$

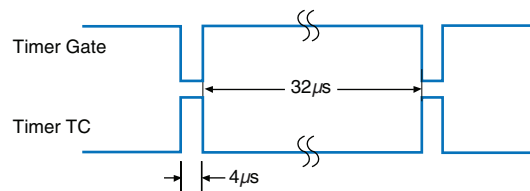
Toggle_C_Pump は $8 \mu\text{sec}$ 幅のパルスを生成するために用いられる内部変数です。論理式 3 と 4 はオンチップ・ハードウェアタイマを用います。ispPAC-POWR1014A デバイスには 4 本のプログラマブル・タイマがあり、タイマ遅延を $32 \mu\text{sec}$ から 2sec にそれぞれ設定することができます。タイマ・カウントダウンは、ゲート信号 (TimerGate.D) にロジック 1 (High) を与えることによって開始されます。タイマ・カウントダウンが完了後に、timer_TC 信号はロジック 1 に遷移します。タイマゲート信号が反転された Timer_TC に接続されるときの (図 5-10)、タイマタイムアウト時には常に $4 \mu\text{sec}$ パルスが生成されます。

図 5-10 周波数がプログラマブルなクロックを実装するタイマの構成



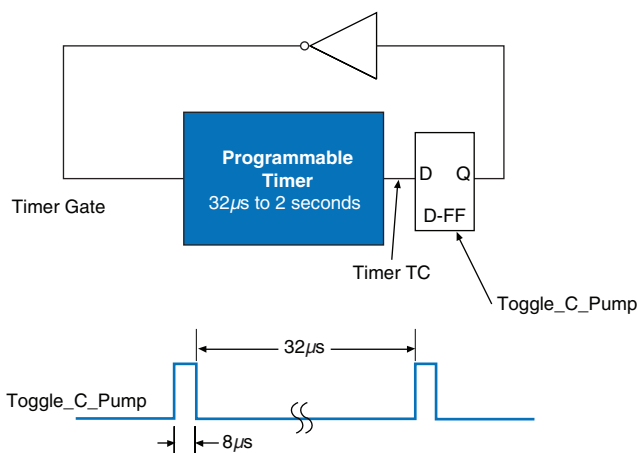
タイマ遅延がたとえば $32 \mu\text{sec}$ に設定されると、timer_TC とタイマゲート出力は以下の通りになります。

図 5-11 タイマを用いたプログラマブル周期の $4 \mu\text{sec}$ 幅パルスの生成



論理式 3 は変数 Toggle_C_Pump に timer_TC をラッチします。これは Timer_Gate をさらに $4 \mu\text{sec}$ 延長します。Toggle_C_Pump の波形を図 5-12 に示します。

図 5-12 32 μ sec 間隔で Toggle_C_Pump を用いた 8 μ sec 幅のパルス生成



論理式 5

$$C_Pmp.D = NOT\ Toggle_C_Pump\ AND\ En_Hot_swap\ AND$$

$$((NOT\ I_IN_2_A\ AND\ NOT\ OUT_12V_GT_6V)$$

$$OR\ (NOT\ I_IN_4_A\ AND\ NOT\ OUT_12V_GT_9V)$$

$$OR\ MOSFET_FULLY_ON)$$

論理式 5 は MOSFET ドライブ回路を制御します。外付けチャージポンプ回路をドライブするために Toggle_C_Pump 信号が用いられ、このパルス列は以下によって調節されます。

- * En_Hot_Swap ~ シーケンス制御で制御される
- * (NOT I_IN_2_A AND NOT OUT_12V_GT_6V) ~ Ch の電圧が 6V より低いときに電流を 2A 以下に制限するヒステリシス制御
- * (NOT I_IN_4_A AND NOT OUT_12V_GT_9V) ~ Ch の電圧が 9V より低いときに電流を 4A に制限するヒステリシス制御
- * MOSFET_FULLY_ON ~ Ch の電圧が 9V より大きいときに MOSFET を完全にオンする。期間はシーケンス・コントローラによって制御される

論理式 6

$$Shut_Dn = NOT\ Short_Ckt\ or\ (MOSFET_FULLY_ON\ AND\ I_IN_4_A)$$

論理式 6 は組合せ論理式で、Short_Ckt 信号がロジック 0 (Low) に等しいとき、或いは動作電流が 4A より大きいときに、直ちに MOSFET をオフします。

シーケンス制御

1. Inp_12V 信号を監視することによって、12V が 100msec 継続してにオンになり、かつそれが許容範囲以内になるのを待つ
2. En_Hot_swap 信号をオンすることによって、ヒステリシス活線挿抜動作をオンする

3. Out_12V 信号をモニタすることによって、12V 負荷における電源が 10msec 以内に許容範囲以内になるのを待つ。10msec タイマがタイムアウトした場合、En_Hot_Swap 信号を 0 にする
4. TURN_MOSFET_ON_FULLY 信号をオンにする
5. Start_12V_Load 信号によって 12V 負荷をイネーブルする

この回路のプログラマブルな機能

この回路は多くのプログラマブル機能を備えており、広範囲のアプリケーションに適するようになっています。

- 異なるバックプレーン電圧にも適するように、例えば 12V や 24V などにコンパレータ閾値を設定できます。
- コンタクト・デバウンスの期間は 50msec から 2sec の間に設定できます。
- 過電流レベルと短絡電流レベルを個別に設定できます。
- 二電源バックプレーン用にデュアル活線挿抜コントローラを設計するために、ispPAC-POWR1014 デバイスの MOSFET ドライバを 2 本用いることで実装できます。
- ホールドオフ時間(電源故障の状況下で MOSFET がオンに保持されるべき時間)は 2m ~ 100msec に設定できます。この時間が経過した後に MOSFET はオフにされます。

ispPAC-POWR1014A に集約できるその他のボード電源管理機能

活線挿抜コントローラは、ispPAC-POWR1014A デバイスのリソースのおよそ 25% を使用します。残りのリソースは電源シーケンス制御や電圧監視、リセット生成、および WDT 機能などのボード電源管理機能を実装するために用いることができます。

適用可能なパワーマネージャ II デバイス

図 5-6 の例ではヒステリシス制御活線挿抜機能を実装するために ispPAC-POWR1014A デバイスを用いました。或いは ispPAC-POWR1220AT8、ispPAC-POWR1014、および ispPAC-POWR607 デバイスにもヒステリシス制御を実装することができます。

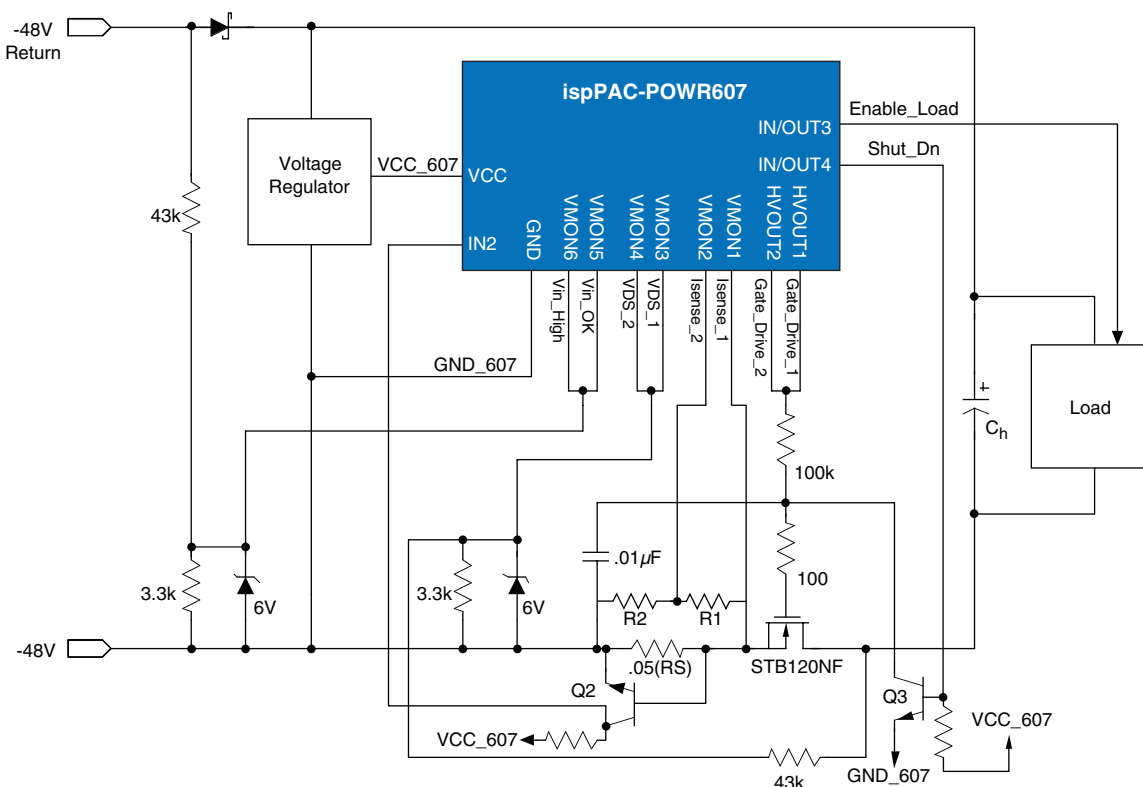
5.3 負電源への活線挿抜コントローラの実装

図 5-13 は ispPAC-POWR607 デバイスを用いる -48V 活線挿抜コントローラの回路図を示します。

MOSFET の SOA 動作を維持しつつ突入電流を制御するために、ispPAC-POWR607 は回路図内の右下にある MOSFET (STB120NF) を制御します。コントローラは MOSFET の左に記入されている電流検出抵抗 R_s を用いることで、回路電流をモニタします。バックプレーン電圧と MOSFET 両端の電圧 (VDS) は、43k と 3.3k の抵抗分割によってそれぞれモニタされます。6V ツェナーダイオードは ispPAC-POWR607 の入力セクションを保護するために使用されます。

バックプレーンにブレードが挿入されると、ispPAC-POWR607 はコンタクトによる変動が治まるのを待ち、その後は連続した電流による給電ではなく、電流のパルス列を用いてホールドオフ・コンデンサを充電し始めます。電流パルスのレートは、MOSFET の消費電力特性を満たすようにプログラムできます。電圧がいったん事前に決められた値に達すると、ホールドオフ・コンデンサの充電を早めるために電流パルスのレートは増加されます。ホールドオフ・コンデンサの充電が完了後に、MOSFET は完全にオンされ、そして Power_Good 信号がアクティブにされます。この信号は DC - DC コンバータをイネーブルするために使用します。

図 5-13 ispPAC-POWR607 を用いる活線挿抜コントローラ回路



MOSFET の VDS は ispPAC-POWR607 の電圧モニタ入力 2 本で監視されます。第一の電圧モニタ入力に設定されたプログラマブル閾値 (高速充電デューティ比閾値) が、ホールドオフ・コンデンサの遅い充電からより速い充電への切替えを決定します。そして第二の入力閾値 (ソフトスタート終了閾値) が、ホールドオフ・コンデンサ充電の完了と MOSFET を完全オンすることを示します。

ispPAC-POWR607はMOSFETのVDSが高速充電の閾値以下に低下したかをチェックするために、(短絡WDTで決定される) 予め設定された時間待ちます。VDSが高速充電の閾値以下に低下しない場合、これは短絡などの故障を示し、MOSFETはオフされます。この実装では、短絡状態が存在していてもMOSFETはSOA内で動作し続けます。

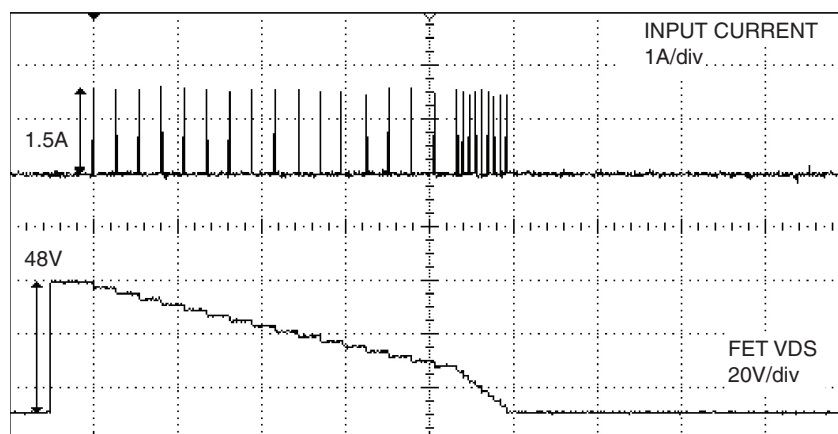
通常動作の間、ispPAC-POWR607はバックプレーン電圧がプリセットされた閾値以下に低下する電圧低下(brownout)期間の始まりを検出し、10msecの内部プログラマブル・タイマを起動します。供給電源がその時間以内に回復する場合、回路は正常に機能し続けます。10msecタイマがタイムアウトした場合、活線挿抜コントローラはそれを不足電圧事象と判断して、電源リサイクル・ルーチンにジャンプし、ホールドオフ・コンデンサの再充電を起動する前に電源が安定するのを待ちます。

通常動作時にバックプレーンにカードが挿入されると、バックプレーン電源は瞬間的に落ち込みます。この期間でも支障なく機能し続けるために、すべてのカードがホールドオフ・コンデンサを使用しますが、この落ち込みの結果ホールドオフ・コンデンサはいくらかの電荷を失います。その後バックプレーン電圧が回復すると、これらのコンデンサには電荷が補給されます。これは通常100 μ sec未満の短時間の電流スパイクをもたらしますが、活線挿抜コントローラはこれを無視しなくてはなりません。しかしながら、破壊的な電流故障がボード上に存在するのであれば、活線挿抜コントローラはこの大電流に反応する必要があり、同時に故障の伝播やMOSFETの破損を防ぐために、1 μ sec未満でMOSFETを遮断しなければなりません。トランジスタQ2は、電流故障がまさしく大電流をもたらすとき、カードを保護するために使用されます。電流検出抵抗の電位差が0.7Vを超えると、トランジスタQ₂はオンして、LowレベルをispPAC-POWR607のデジタル入力に与えます。そして、ispPAC-POWR607内の論理式がトランジスタQ3をオンし、Q₃はMOSFETのゲート電荷を放電し、結果として1 μ sec以内にMOSFETをオフします。

MOSFETの安全動作領域動作を維持する突入電流の制御

図5-14のオシロスコープ・トレースの上部は、ホールドオフ・コンデンサを充電する電流パルスを示し、10msec幅で大きさが1.5Aです。トレースの下部は、4700 μ Fホールドオフ・コンデンサを充電している間のMOSFETソース・ドレイン間の電圧です。

図5-14 ホールドオフ・コンデンサ充電電流とMOSFETのソース・ドレイン間電圧



ispPAC-POWR607のMOSFETドライバ2本がMOSFETゲートをドライブします。第一のMOSFETドライバが電流の大きさを1.5Aに維持し、そして第二のMOSFETドライバがデューティ・サイクル(オン/オフ・レート)を制御します。この回路でのレートは260msec毎に10msecパルスが一つ

というように、入念に設計されています。これは MOSFET によって消費される最悪ケース（短絡時）の平均電力を $1.5A * 48V * 5msec / 260msec = 1.4W$ に制限します。

活線挿抜コントローラのアルゴリズム

活線挿抜コントローラ・アルゴリズムとしてはシーケンス制御を用いており、主に ispPAC-POWER 607 に実装されます。短絡時の過電流については、応答速度の要因から組合せ論理式を使用して監視されます。

シーケンス制御

1. MOSFET をオフにし、コンタクトによる変動が治まるのを待つ
2. MOSFET の V_{DS} が 25V 以下に低下するまで 260msec に一度、10msec 幅の 1.5A パルスでコンデンサの充電を繰り返す。電圧が 512msec 以内に 25V 以下にならない場合は、活線挿抜制御を止める
3. MOSFET の V_{DS} が 25V 以下に低下した後は 65msec 毎に一度、10msec 幅の 1.5A パルスで充電を繰り返すように時間比率を上げる
4. MOSFET の V_{DS} が 1V 以下に低下するのを待ち、その後 MOSFET を完全にオンする
5. 過電流状態が発生した場合は MOSFET をオフし、それ以降は 2sec に一度リトライする

-48V 活線挿抜コントローラのカスタマイズ

プログラマブル活線挿抜コントローラのアルゴリズム全体を、16 マクロセルの PLD 内に実装することができます。このアルゴリズムは設計するブレードの要件に合うようにカスタマイズでき、また以下のパラメータも設定変更することができます。

- 短絡時のウォッチドッグ持続時間 ~ ホールドオフ・コンデンサが規定の期間に充電されない場合、MOSFET が遮断される期間です。
- 充電電流のパルス幅 ~ パルス幅は MOSFET が SOA 内で動作することを保証するように設定されます。
- 充電電流のパルス周波数 ~ このパラメータは充電電流パルス幅と共に、使用する MOSFET の消費電力を決定します。
- リサイクル前の最小ホールドオフ時間 ~ ブレードの電圧低下への耐性を決定します。
- 電流検出のスケーリング ~ 電流検出抵抗抵抗の R_1 と R_2 、そして R_2 で設定されます。
- 充電電流パルスの高さ ~ 電流検出抵抗 R_s の値で決定され、充電電流パルスの振幅 (= 電流値) を設定します [註⁹]。
- 回路遮断の検出電流値 ~ 遮断と再起動を開始する電流最大値です。
- ソフトスタート動作の終わり ~ 電圧を設定します。MOSFET が完全にオンされ、Power_Good 信号が生成されます。
- 高速充電のデューティ比への遷移 ~ ホールドオフ・コンデンサ充電時間を安全に短縮させるために、充電パルス周波数を上げる電圧値を決定します。
- 最小動作電圧 ~ 電圧低下プロセスが始まるバックプレーン電圧を決定します。
- 過電圧保護 ~ この電圧を超えるとブレード回路を保護するために MOSFET が遮断されます。

9. 図 5-14 では 0.5Ω。デバイスによる検出電圧として 0.075V に設定すると本例のように 1.5A が検出電流値となる

適用可能なパワーマネージャIIデバイス

図 5-13 のデザインは ispPAC-POWR607 デバイスに実装されています。デザインが I2C インターフェイスを介する電圧測定を必要とする場合、この活線挿抜コントローラを実装するために ispPAC-POWR1014A デバイスを使用することができます。

5.4 CompactPCI ボード管理

CompactPCI や CompactPCI Express などのアプリケーションでは、複数の供給電源があるバックプレーンが用いられます。

図 5-15 は +12V、+5V、+3.3V、および -12V の各電圧がある CompactPCI の標準的なバックプレーン用の活線挿抜コントローラの要件を示します。この設計では +5V および +3.3V 電源が大容量の電力を供給します。

図 5-15 活線挿抜を含む CompactPCI ボードの電源管理

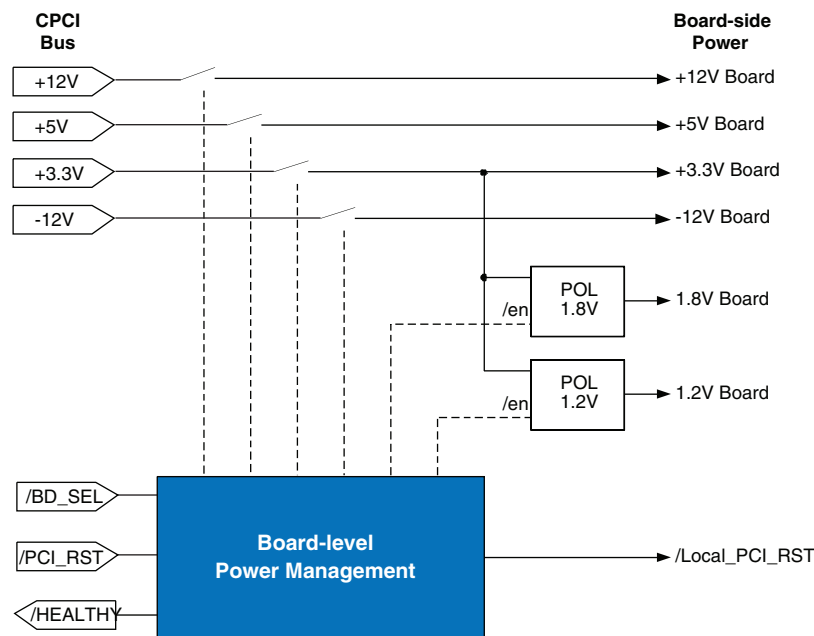
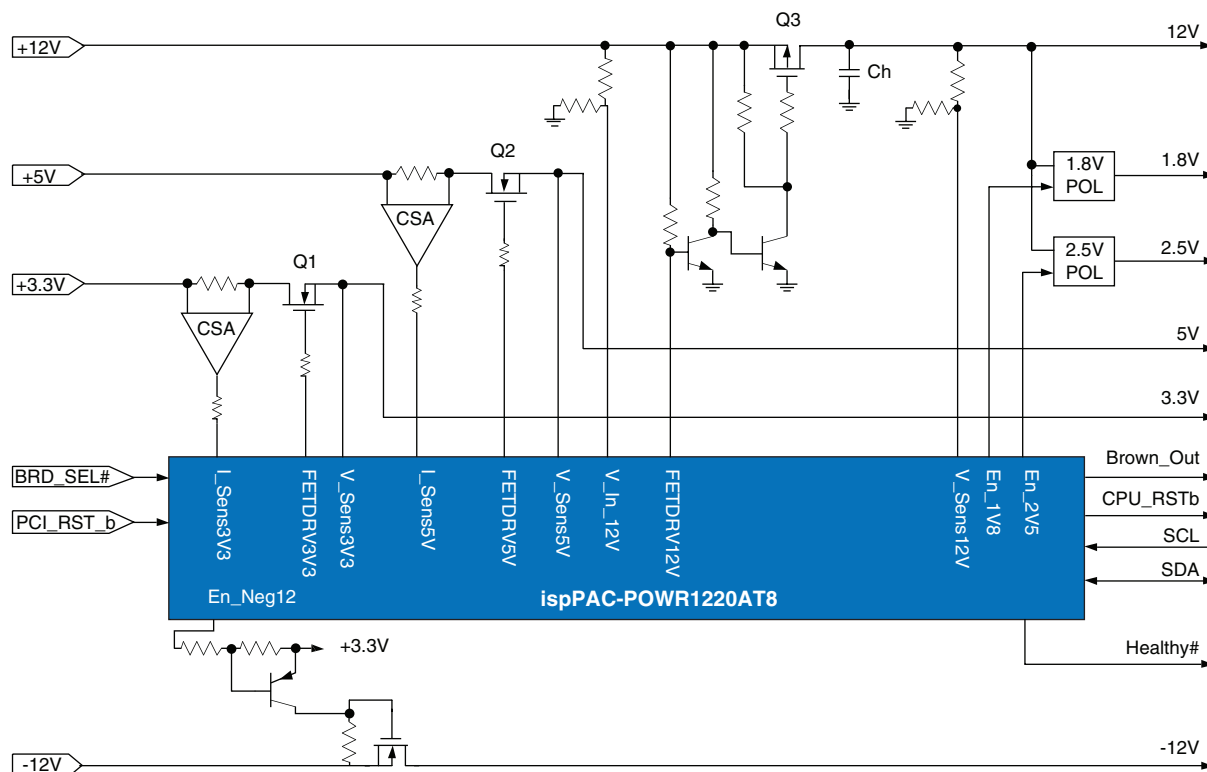


図 5-15 で示されるように、活線挿抜コントローラだけではなく回路基板全体の電源管理も実装するために、パワーマネージャII ispPAC-POWR1220AT8 デバイスが使用されました。この設計の活線挿抜コントローラは、5V と 3.3V ではヒステリシス電流制御メカニズム（5.2 節内の「[ヒステリシス電流制限メカニズムがある活線挿抜コントローラ](#)」セクションで記述）を適用し、そして +12V と -12V にはソフトスタート制御メカニズム（5.2 節内の「[ソフトスタートを用いる活線挿抜コントローラ](#)」で記述）を適用しています。+12V 電源には P チャネル MOSFET を使用します。

CompactPCI ボードの管理アルゴリズム

活線挿抜コントローラは、ヒステリシスとソフトスタート機能を起動した後に、ボード電源がウォッチドッグ期間以内に正常な動作レベルに到達するのを待ち、次に Healthy# 信号をアクティブにします。

図 5-16 ispPAC-POWR1220AT8 ~ 完全な CompactPCI ボード管理



活線挿抜機能が不成功の場合、Healthy# 信号はアクティブにされませんので、メインシステムは PCI カードをアクティブにしません。ボードはバックプレーンから一度抜いて再び挿入することによって、活線挿抜機能を再起動することができます。すべての活線挿抜電源が正常な動作値に到達した後に、ispPAC-POWR1220AT8 デバイスは 2.5V と 1.8V 電源のシーケンス制御を起動します。(ボード上の順序制御された電源を含めて)すべての電源が安定になった後に、CPUリセット信号(CPU_RSTb)がアクティブにされます。いずれかの電源が故障した場合、Brown-Out 信号がアクティブにされます。

この回路のプログラマブルな機能

図 5-16 で示される回路は以下についてカスタマイズすることができます。

- 5V と 3.3V の過電流
- ボードに搭載された電源のシーケンス制御
- ボード故障からの保護
- すべての活線挿抜 MOSFET の遮断
- ボード特有の他の電源管理信号の生成
- 電圧と電流の測定
- 電源のトリミングとマーージニング

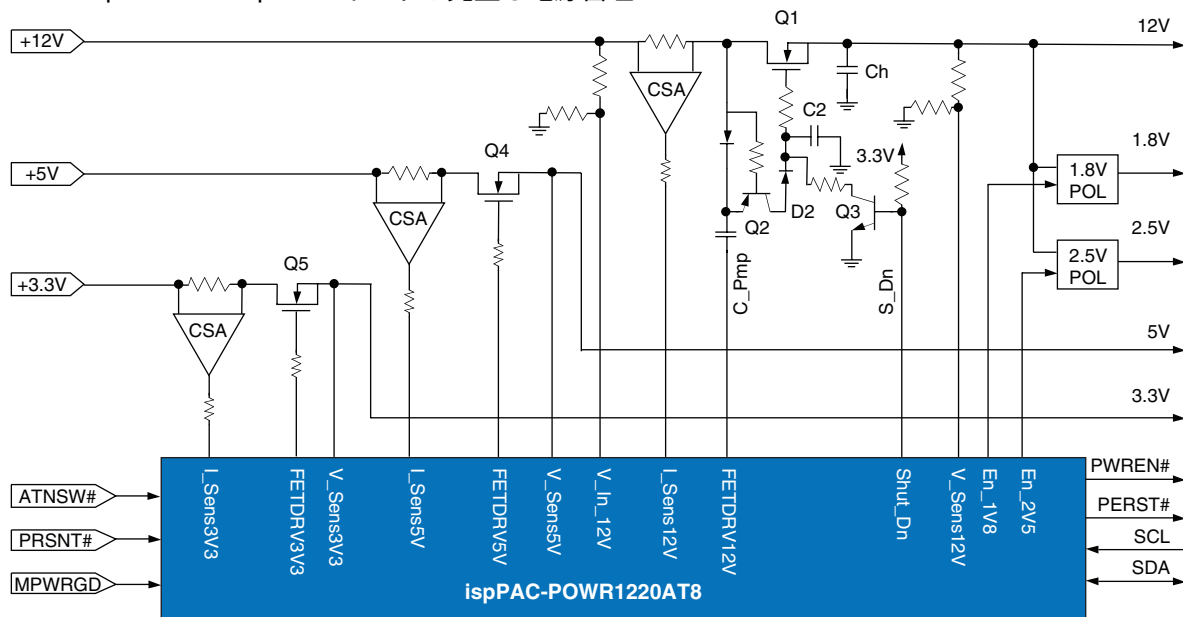
適用可能なパワーマネージャIIデバイス

この例は、ispPAC-POWR1220AT8 デバイスを使用して実装した CompactPCI ボードの電源管理機能です。もしボードが活線挿抜機能と最小限のボード管理を必要とするだけであれば、ispPAC-POWR1014A デバイスでも十分です。

CompactPCI Express ボード管理

CompactPCI Express バックプレーンは CompactPCI バックプレーンに類似しています。しかしながら +5V と 3.3V 電源に加えて、大容量の電力を供給するために 12V 電源が必要です。

図 5-17 CompactPCI Express ボードの完全な電源管理



CompactPCI ボードに対する CompactPCI Express ボード用の電源管理の違いは、図 5-17 の実装回路では 12V 活線挿抜制御としてヒステリシス電流メカニズムを採用しているということです。+5V と +3.3V 活線挿抜実装は 5.2 節内の「ヒステリシス電流制限メカニズムがある活線挿抜コントローラ」セクションで記述されたものと同一です。12V 活線挿抜メカニズムは 5.2 節内の「12V/24V 活線挿抜コントローラ」セクションで記述されています。

この回路のプログラマブルな機能

- ボード管理のニーズを満たすために、二次側のボード電源管理セクションを完全にカスタマイズできます。
- I²C を介して電源電圧と電流を測定できます。
- どのような MOSFET の特性でも満足できるように、12V 活線挿抜の振る舞いを調整できます。

適用可能なパワーマネージャIIデバイス

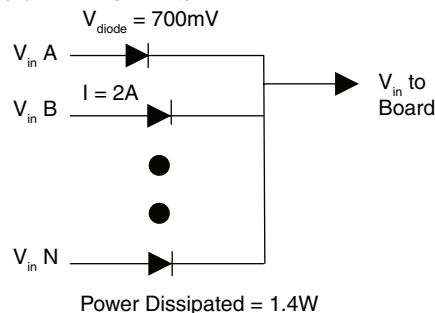
この例は、ispPAC-POWR1220AT8 デバイスを用いて実装した CompactPCI Express ボード電源管理機能です。もしボードが活線挿抜機能と最小限のボード管理を必要とするだけであれば、ispPAC-POWR1014A デバイスでも十分です。

供給電源冗長化コントローラ

6.1 電源冗長化とは？

運用時間率の高いシステムの信頼性を高めるために用いられる方法の一つは、2 系統以上の（冗長な）供給電源によって給電される構成の採用です。これらの電源は複数の供給源によって生成されるか、または複数パスを使用して主電源に接続されます。これらの冗長系のある電源に接続されるボードは、図 6-1 で示されるようなダイオードを使用することによって、稼働率の高い単一電源として電力を得ます。この構成は供給電源冗長化（Power Supply OR'ing）と呼ばれます。

図 6-1 ダイオードを用いる N 系統の電源冗長化



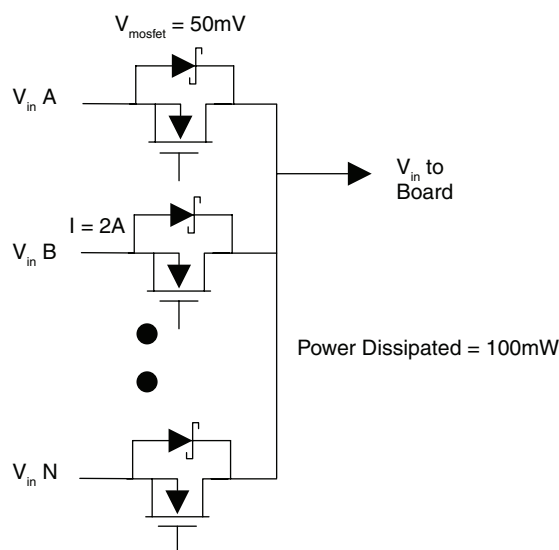
これは単純な構成で、電圧の最も高い電源がボードの主電圧をドライブします。また供給電圧がほぼ等しい場合は、負荷電力はそれぞれの電源間で分割されます。電源が故障した場合、負荷は全く中断なしで他方の電源に自動的に切り替えられます。

これは冗長化電源の最も単純で最も信頼性の高い方法ですが、この回路には不都合があります。すなわち電力を浪費するということです。通常、ダイオードではおよそ 700mV 電圧降下します。たとえば負荷電流が 2A の場合、ダイオードによって消費される損失電力は 1.4W です。シェルフにボードが 10 枚あれば、消費される電力は 14W で、冷却システムにストレスがかかります。さらに 2W 以上の電力消費が許容できるダイオードを用いなければなりません。これらのダイオードは高価なだけでなく大きいため、より広いボード面積を占有します。

この損失電力を最小にするために、設計によってはショットキーダイオードを使用します。このタイプのダイオードでは電圧降下がおよそ 400mV で、損失電力はおよそ半分になります。しかしながら損失電力はまだ大き過ぎますし、また通常ショットキーダイオードはより高価です。

近年の電源冗長化回路は、損失電力を著しく減少させるために MOSFET を用います (図 6-2)。N チャネル MOSFET の典型的なオン抵抗は約 25mΩ であり、2A でこの MOSFET によって消費される電力は 100mW ($2 \times 2 \times 25 \text{ m}\Omega$) です。言い換えるならば損失電力は 93% 減少します。

図 6-2 電力損失の削減に MOSFET を用いる電源冗長化制御



6.2 MOSFET 冗長化回路設計時の難題

MOSFET はオンすると、電流が両方向に流れます。その結果、いかなる 2 電源間にも電圧差があると、電圧の低い供給電源側へ逆方向電流が流れることとなります。例えば V_{inA} と V_{inB} 間に電位差 1V があると、高い供給電圧源から低い供給電圧源に $20\text{A} (=1\text{V} / (0.025+0.025))$ 流れることになり得ます。これは電源への過負荷状態を引き起こし、電源が破損する場合があります。逆方向電流を防ぐために供給電源冗長化の制御回路が必要です。逆方向電流を防ぐために、以下に示すような 2 つの方法が用いられます。

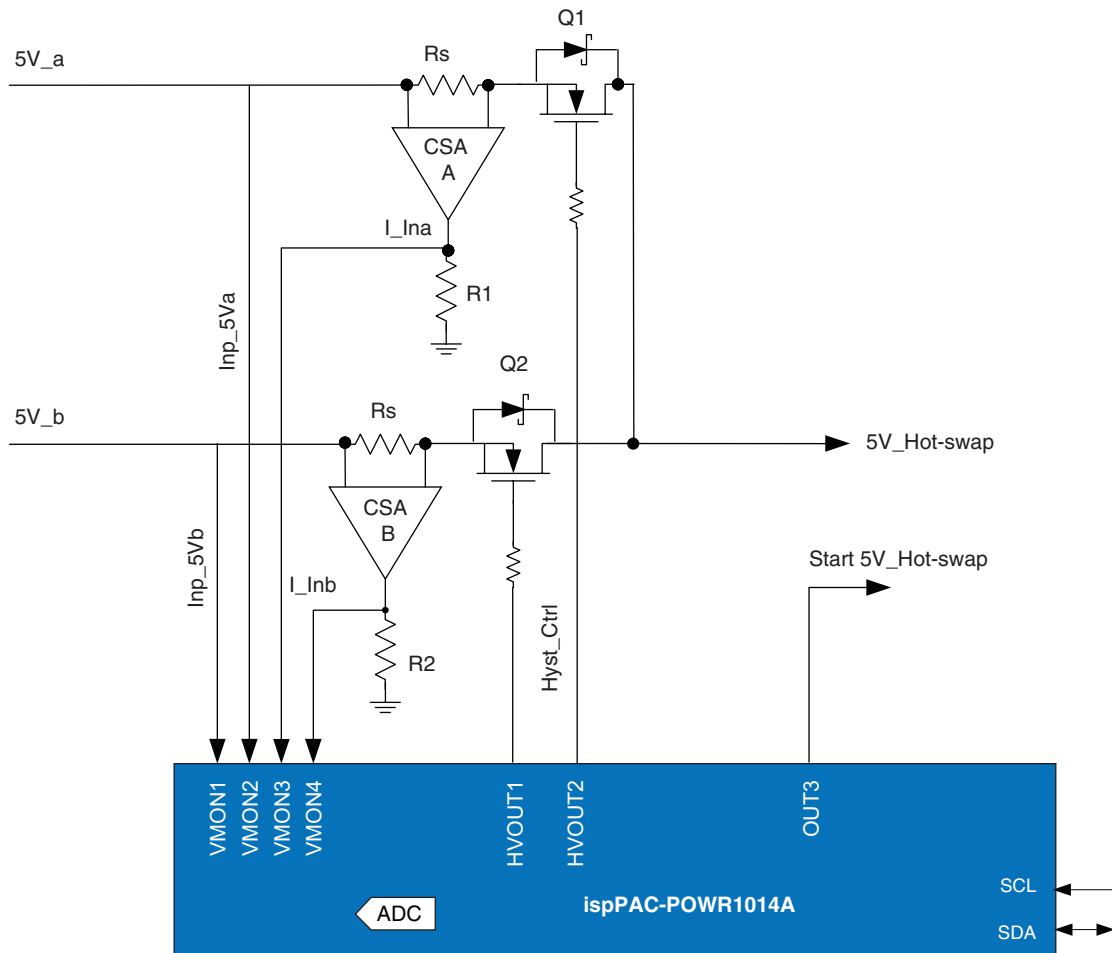
- MOSFET を流れる電流をモニタして、閾値より少ない電流が流れる MOSFET をオフします。閾値以下への電流低下は、そのブランチで逆方向電流が増えている可能性を示唆しています。すべてのブランチにおける電流が最小閾値より大きければ、すべての MOSFET が負荷電流の分割を可能にするために、オンのままにされます。
- 入力電源の電圧差をモニタして、より低い電圧の供給電源に接続される MOSFET をオフします。2 電源の電圧差がダイオード電圧降下より小さいときは、両方の MOSFET はオンのままにされ、電流分割を可能にします。

以下のセクションはラティスのパワーマネージャ II デバイスを用いて実装される、正電圧と負電圧の冗長化回路について論じます。

6.3 MOSFET を用いる +5V 供給電源冗長化回路

図 6-3 の回路は 2 系統の 5V 供給電源、5V_a および 5V_b、の冗長化を示します。冗長化制御アルゴリズムは ispPAC-POWR1014A デバイスに実装されています。各ブランチを通る電流は、電流検出アンプの CSA_a と CSA_b を通して ispPAC-POWR1014A によってモニタされます。MOSFET Q₁ と Q₂ が冗長化機能を実装しており、共通の 5V 電源は Q₁ と Q₂ のドレイン端子を組合せることによって取り出されます。両方の MOSFET がオフのときに、それらのボディーダイオードは “効率の悪い冗長化メカニズム” を提供します。図 6-3 では OR された電源は活線挿抜コントローラに給電されます。

図 6-3 2 電源 5V 冗長化制御を実装する ispPAC-POWR1014A



回路は MOSFET が共にオフ状態から始まります。活線挿抜コントローラをイネーブルすることによって、負荷はオンされます。負荷が電力を引き込み始めるとき、電力は MOSFET ボディーダイオードの 1 つを介して自動的に得られます。両方の電圧が非常に近い場合、負荷は両方の MOSFET ボディーダイオードから電力を取り出し、そして両方がそれぞれの電流検出アンプによって検出されます。

そのブランチを通る電流が閾値を超えている場合にのみ、ispPAC-POWR1014 はブランチの MOSFET をオンします。両電源の電流がそれらの閾値を超えている場合、両方の MOSFET はオンされたままです。

ispPAC-POWR1014 は両ブランチにおける電流レベルをモニタし続けます。動作の間、MOSFET の一つを通る電流が（その電源電圧の突然の低下によって）低い電流閾値より下がると、その MOSFET は直ちにオフされます。そのときボディダイオードは逆方向電流をブロックします。電流が正の閾値以下に低下する時には MOSFET がオフされているため、供給電源側にドライブされる逆方向電流は避けることができます。事実上、この回路は逆方向電流を先んじて（抑制的に）回避する方法で、供給電源の冗長化を実装します。

MOSFET によって冗長化を実装するためのアルゴリズム

ステップ 1 ~ 少なくとも電源の一方が動作電圧値に達するのを待つ

ステップ 2 ~ 負荷または活線挿抜コントローラをイネーブルする

ステップ 3 ~ 負荷がオンするのを待つ

ステップ 4 ~ ブランチ A の電流がターンオフ閾値より大きい場合、MOSFET Q1 をオンする

ステップ 5 ~ ブランチ B の電流がターンオフ閾値より大きい場合、MOSFET Q2 をオンする

ステップ 6 ~ オンされている両ブランチの MOSFET 電流の一方がターンオフ閾値以下に低下するのを待つ。閾値以下になったらそのブランチをオフし、そして電流がターンオフ閾値を超えて増加するのを待ち、次にそのブランチの MOSFET をオンに戻す。ステップ 6 を実行し続ける

この回路のプログラマブルな機能

以下のプログラマブル機能は、さまざまな冗長化回路のニーズを満たします。

- 論理式を用いたヒステリシスを実装するための MOSFET オン時とオフ時の電流レベルは、2 つのコンパレータ閾値として個別に設定できます。
- 有効な入力動作電圧範囲であると判断するための閾値はプログラマブルです。

ispPAC-POWR1014A に集約することができる追加機能

- 活線挿抜コントローラ ~ ソフトスタート、またはヒステリシス電流コントローラ
活線挿抜コントローラを実装するために、[図 6-4](#) に示すトランジスタ回路を用いることによって MOSFET ドライバの 1 本を解放することが可能です。
- シーケンス制御の集約ができます。
- 電圧監視やリセット生成、および WDT 機能が集約可能です。

適用可能なパワーマネージャ II デバイス

5V 電源を制御することは、MOSFET ドライブ用の 12V を必要とします。この機能は ispPAC-POWR1220AT8、ispPAC-POWR1014、および ispPAC-POWR1014A に対応しています [註¹⁰]。

10. 当面はいずれも -02 オプションのデバイスのみ

6.4 MOSFETを用いる3系統以上の5V電源用の供給電源冗長化

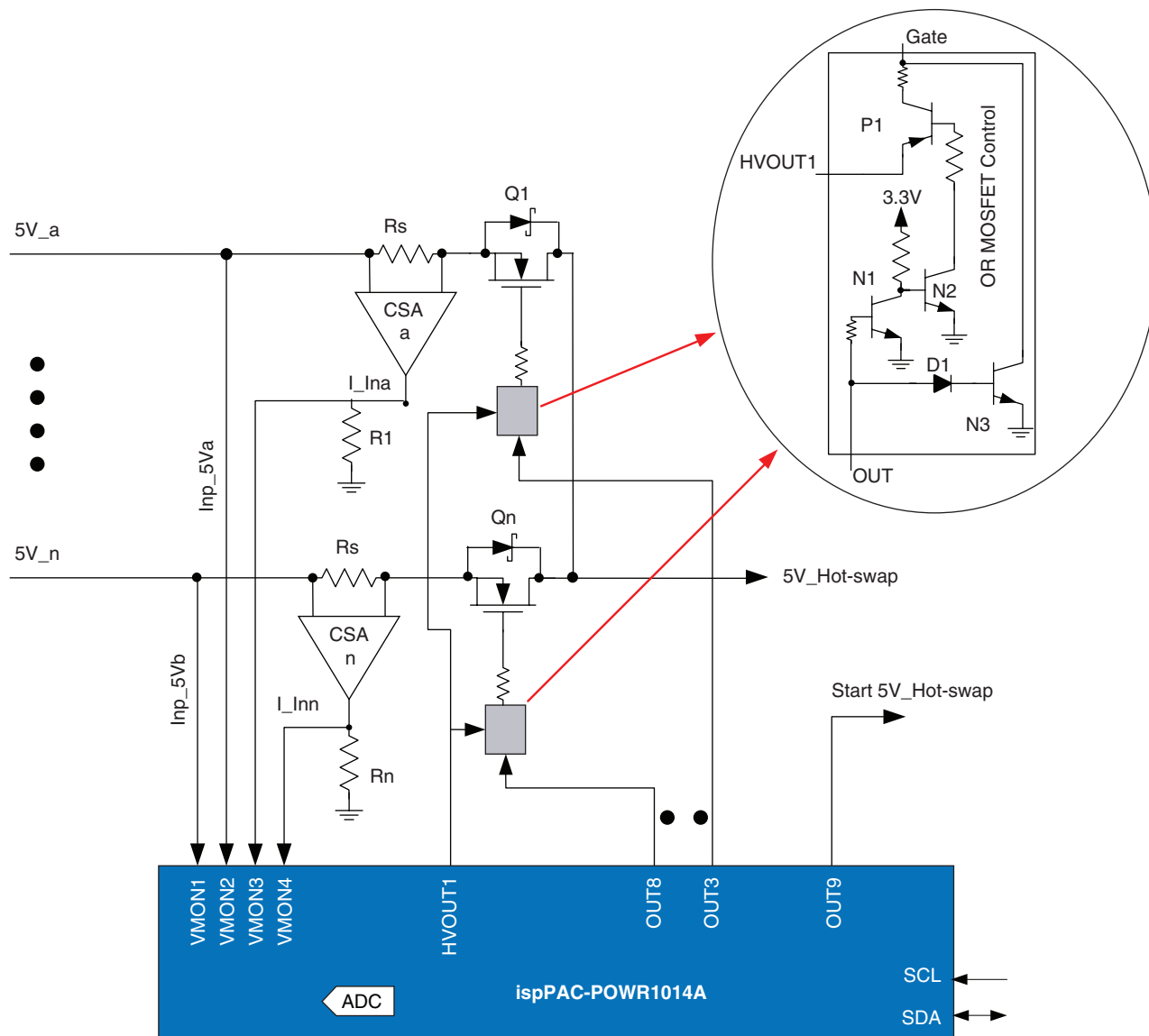
ispPAC-POWR1014 はデバイスあたり MOSFET ドライブ回路は 2 本まで対応できます。しかしながら、それぞれの MOSFET ドライブは、同時に複数の MOSFET ゲートをドライブすることもできます。図 6-4 の回路は、MOSFET によって N 系統の電源冗長化を実装するために、パワーマネージャ II デバイスからの HVOUT 信号を 1 本用いることで実現します。

この回路の動作原理は前例と同じです。唯一の違いは MOSFET ゲートをドライブするために 4 トランジスタよりなる回路が用いられるということで、これは “OR MOSFET Control” とある楕円の挿入ブロックに示される通りです。

P1 PNP トランジスタは、HVOUT から MOSFET のゲートまでの電圧と電流をイネーブルするためにオンされます。N2 がオンすると P1 もオンされますが、これは ispPAC-POWR1014 の OUT ピンがロジック 0 (Low) にある時です (N1 はオフで N3 もオフ)。OR 用 MOSFET をオフするためにデジタル出力はロジック 0 に設定されます。その時 N2 はオフし N3 がオンしますので、MOSFET ゲートにストアされた電荷を排出して直ちにオフします。

N1 に対して N3 をオンするのを遅らせるために、そして P1 と N3 が同時オンの条件を避けて N1 より速く N3 をオフするために、N3 のベースにダイオード D1 が挿入されており、OR 回路で他の MOSFET がオフするのを防ぎます。

図 6-4 MOSFET による N チャンネル冗長化



MOSFET による N チャンネル冗長化の実装

ステップ 1 ~ 少なくとも電源の 1 系統が動作電圧値に到達するのを待つ

ステップ 2 ~ 負荷または活線挿抜コントローラをイネーブルする

ステップ 3 ~ 負荷がオンするのを待つ

ステップ 4 ~ ブランチ A の電流が最小閾値より大きい場合、対応するデジタル制御で MOSFET Q1 をオンする

(ステップ 5 ~ N-1 ; 略)

ステップ N ~ ブランチ N の電流が最小閾値より大きいなら、MOSFET Qn をオンする

ステップ N+1 ~ MOSFET がオンされたブランチを流れる電流が閾値以下に低下して、次にそれをオフするのを待つか、或いは MOSFET がオフされたブランチの電流が閾値より大きくなり、次にその

MOSFET をオンするのを待つ。ステップ N+1 の実行を続ける (ステップ N+1 は、回路がすべての MOSFET を同時にモニタし、かつ制御するように、N 個すべての MOSFET に論理式を用いることで実装される)。

この回路のプログラマブルな機能

以下のプログラマブル機能は、さまざまな冗長化回路のニーズを満たします。

- 論理式を用いたヒステリシスを実装するための MOSFET オン時とオフ時の電流レベルは、2 つのコンパレータ閾値として個別に設定できます。
- 有効な入力動作電圧範囲であると判定するための閾値はプログラマブルです。

ispPAC-POWR1014A に集約することができる付加的な電源管理機能

- 活線挿抜コントローラ ~ ソフトスタート、またはヒステリシス電流コントローラのいずれかです。冗長化回路は 1 本の MOSFET ドライブ出力のみを使用しますので、活線挿抜コントローラを実装するために第二の MOSFET ドライブを用いることが可能です。
- シーケンス制御を集約できます。
- 電圧監視やリセット生成、および WDT 機能を集約できます。

適用可能なパワーマネージャ II デバイス

5V 電源をドライブするためには、MOSFET ドライブ用の 12V が必要です。この機能は ispPAC-POWR1220AT8、ispPAC-POWR1014、および ispPAC-POWR1014A で対応しています [註¹¹]。

6.5 N 系統 (12V/24V) 電源の冗長化

MOSFET を用いる N 系統 12V 電源冗長化の動作原理は、MOSFET を用いる N 系統 5V 電源冗長化と同一です。違いは、12V 電源の N チャネル MOSFET のゲートが、ispPAC-POWR1014 の HVOUT ピンによって供給されるよりも高い電圧を必要とするということです。

図 6-4 で示されるブロックに加えて、図 6-5 には追加のチャージポンプ・ブロックが右下部にあり、これは MOSFET ゲート端で 20V を生成するために外付け回路として実装されています。

チャージポンプ・ブロックの動作原理

ispPAC-POWR1014A の HVOUT ピンは、32 μ sec 間 12V を、そして 8 μ sec 間 0V を出力しながらトグルします。HVOUT ピンが 0V のとき、コンデンサ C1 は、すべての 12V 電源で最も高い電圧にダイオード D2 を通して充電されます。HVOUT ピンが 12V になると、この電圧がコンデンサ (C1) 電圧に加えられ、これがトランジスタ P2 をオンして、ダイオード D3 を介して C2 をおよそ 20V に充電します。そしてこの電圧は、OR 用 MOSFET 制御ブロックを通して MOSFET ゲートに与えられます。

N 系統の電源 (5V) 冗長化回路動作のように、ispPAC-POWR1014 は次にその電源の電流をモニタして、オンするための閾値より高い場合には対応する MOSFET をオンします。

MOSFET を用いる N チャネル冗長化 (制御) 実装のアルゴリズム

ステップ 1 ~ 少なくとも電源の 1 系統が動作電圧値に到達するのを待つ

ステップ 2 ~ 負荷または活線挿抜コントローラをイネーブルする

11. 当面 “-02” オプションのデバイスのみ

ステップ 3 ~ 負荷がオンするのを待つ

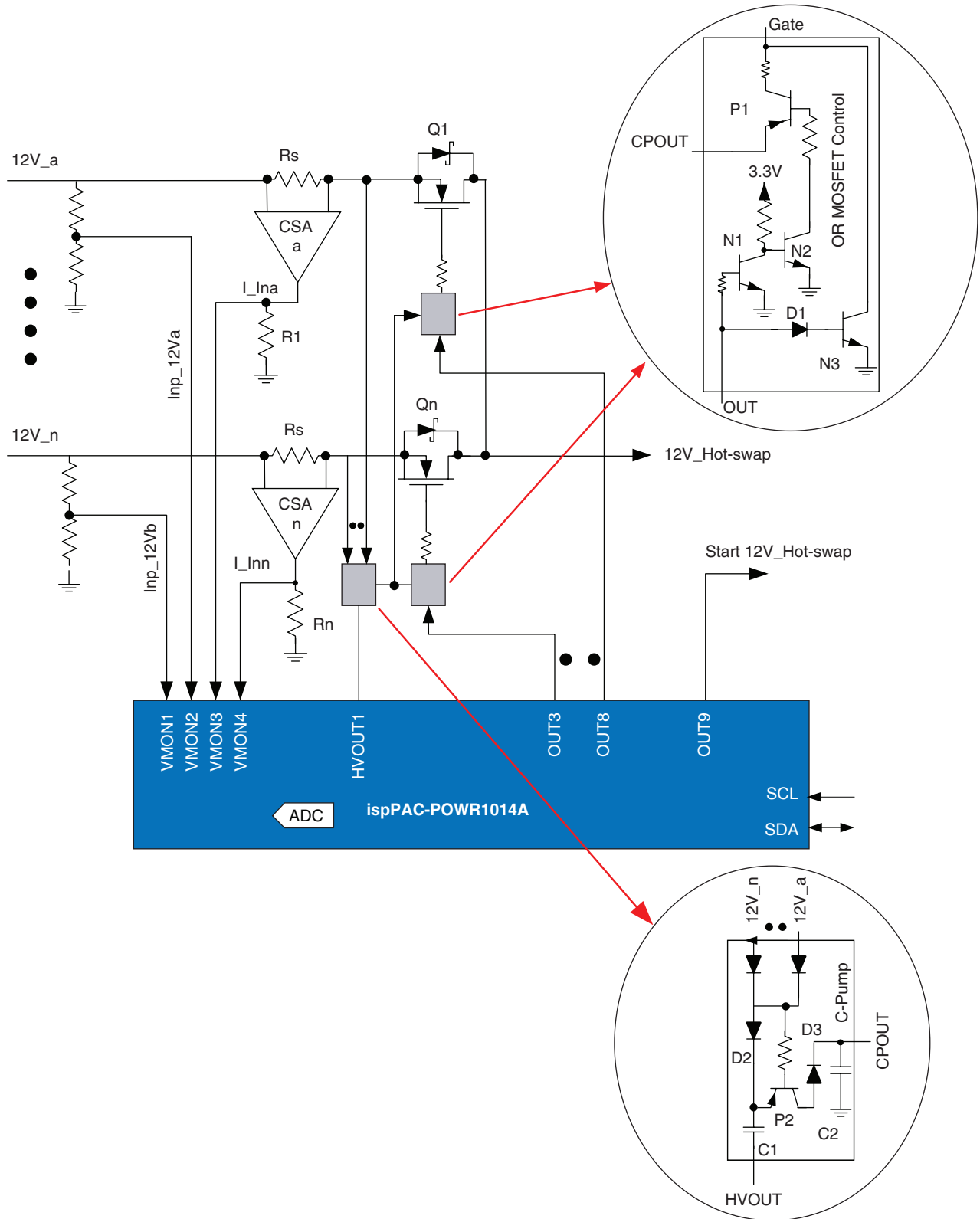
ステップ 4 ~ ブランチ A の電流が最小閾値より大きい場合、対応するデジタル制御で MOSFET Q1 をオンする

(ステップ 5 ~ N-1 ; 略)

ステップ N ~ ブランチ N の電流がその最小閾値より大きい場合、対応する MOSFET Qn をオンする

ステップ N+1 ~ MOSFET がオンされているブランチにおける電流が閾値以下に低下し、それをオフするのを待つ、或いは、MOSFET がオフされたブランチの電流が閾値より大きくなり、次にその MOSFET をオンするのを待つ。ステップ N+1 を実行し続ける (ステップ N+1 は、回路がすべての MOSFET を同時にモニタして、かつ制御するように、N 個すべての MOSFET に論理式を用いることで実装されます。)

図 6-5 ispPAC-POWR1014A デバイスによ MOSFET を使用した N 系統 12V 冗長化



この回路のプログラマブルな機能

さまざまな冗長化回路のニーズを満たすために以下の機能については設定が変更できます。

- 論理式を用いたヒステリシスを実装するための MOSFET オン時とオフ時の電流レベルは、2 つのコンパレータ閾値として個別に設定できます。
- 有効な入力動作電圧範囲であると判定するための閾値はプログラマブルです。

ispPAC-POWR1014A に集約できる付加的な電源管理機能

- ヒステリシス電流制御の活線挿抜コントローラ ~ 電源冗長化回路は 1 本の MOSFET ドライブ出力のみを用いるため、第二の MOSFET ドライブを用いることで活線挿抜コントローラの実装が可能です。
- シーケンス制御を集約できます。
- 電圧監視やリセット生成、および WDT 機能を集約可能です。

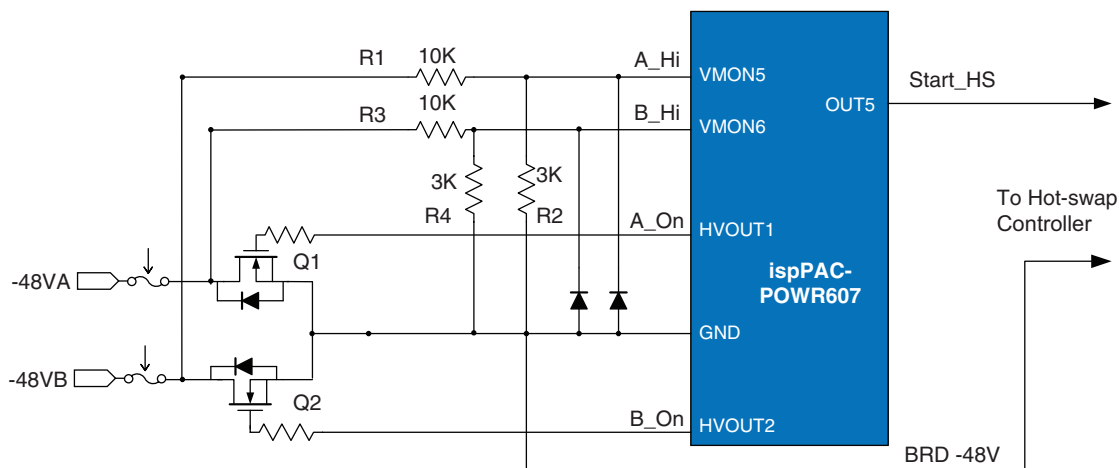
適用可能なパワーマネージャ II デバイス

MOSFET を用いる 12V 電源冗長化の実装には、ispPAC-POWR607、ispPAC-POWR1220AT8、ispPAC-POWR1014 と ispPAC-POWR1014A が使用できます。

6.6 MOSFET による -48V 電源冗長化

図 6-6 で示される回路は、簡易な抵抗分割を用いることで、2 系統の -48V 供給電源間の差電圧をモニタします。以下の回路には 2 電源、-48VA および -48VB、があります。初めに MOSFET はオフしており、そして冗長化機能はボディダイオードによって行われます。2 電源の差電圧は、抵抗 R_1 ~ R_4 を通してモニタされます。差電圧がショットキーのオン電圧である 0.4V より大きいときに、対応するノード A_Hi または B_Hi が 0.75V より大きくなるように、値が選択されています。ispPAC-POWR607 内の論理式が MOSFET をオンし、そして逆方向電流を防ぐために、それより負電圧値が低くない (less negative) 電源はオフされます。2 電源の電位差が 0.4V 以下である場合は、両方の MOSFET がオンされます。

図 6-6 ispPAC-POWR607 を用いるデュアル -48V MOSFET 冗長化回路



Algorithm:

If A_Hi is True, Turn on Q₁

If B_Hi is True turn on Q₂

この回路のプログラマブルな機能

本例の R_1 と R_2 、 R_3 、および R_4 の値は、共通の -48V 電源に関して 0.4V のデッドバンドがあるように選択されています。すなわち 48VA と -48VB がお互いに 0.4V 以内にある場合、両 MOSFET はオンされます。異なる抵抗分割を選択することによって、このデッドバンド電圧値を変更することができます。

ispPAC-POWR607 デバイスに集約できる追加機能

図 6-6 に追加する有用な機能の一つは、図 6-7 で示されるようなフューズの故障を監視することと共に、-48VA と -48VB 電源の監視を行うことです。電圧監視セクションは Battery_Fail_VA と Battery_Fail_VB の、2 本の故障フラグを生成します。また、対応するヒューズが故障すると、これらの信号もアクティブになります。シェルフ内のすべてのボードが電源故障を示す場合、それは主電源の故障を表します。しかし、1 枚のカードのみが電源故障を示すのであれば、それはヒューズの故障を意味します。

図 6-8 は -48V 電圧検出回路を示し、電圧をモニタするために 2 本の 50K Ω 抵抗 (R_1 と R_2) を用います。 R_1 と R_2 の接点における電圧が抵抗 R_3 と R_4 、およびトランジスタ P_1 を流れる電流を決定します。ispPAC-POWR607 は抵抗 R_4 両端の電圧をモニタしますが、これは抵抗 R_1 と R_2 両端の電圧に比例します。

第二の ispPAC-POWR607 デバイスは活線挿抜対応のボードにおける活線挿抜制御機能を実行します。電圧の監視、ヒューズ故障の監視、MOSFET 冗長化、および活線挿抜制御機能を ispPAC-POWR1014 デバイスに集約できます。さらに、電力測定が必要である場合は ispPAC-POWR1014 デバイスではなく ispPAC-POWR1014A デバイスを使用し、回路を流れる電流を増幅するためにオペアンプ回路を用います。

図 6-7 ispPAC-POWR607 を用いて 2 系統 -48V 電圧冗長化に加えて電圧を監視

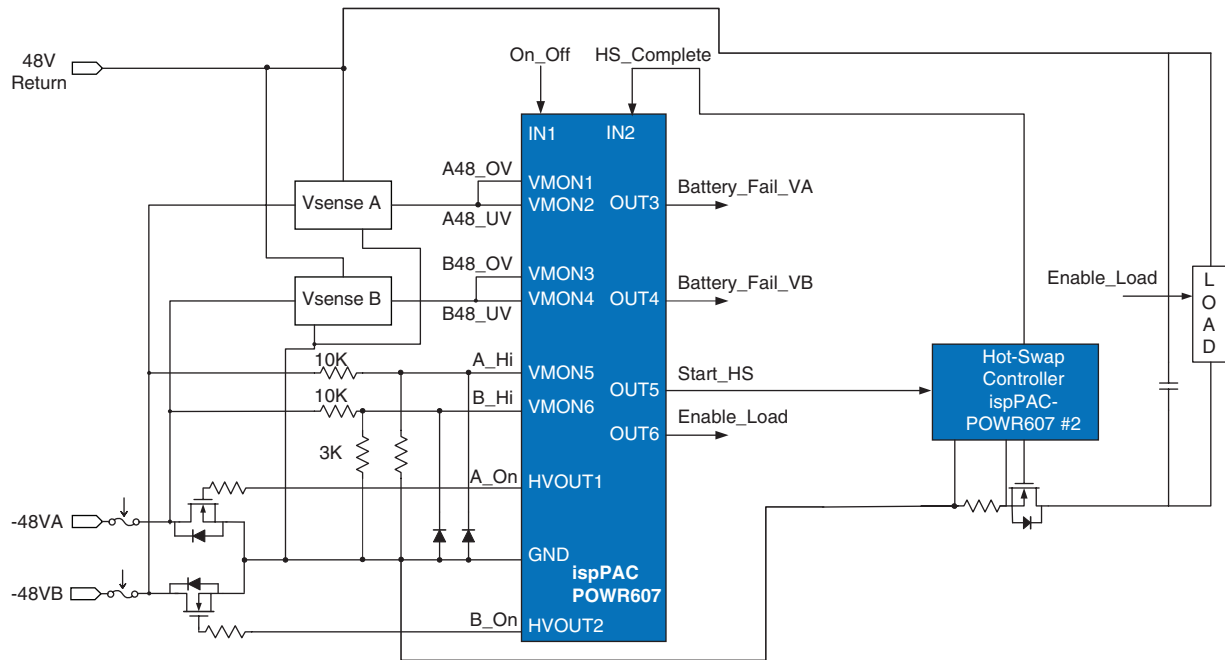
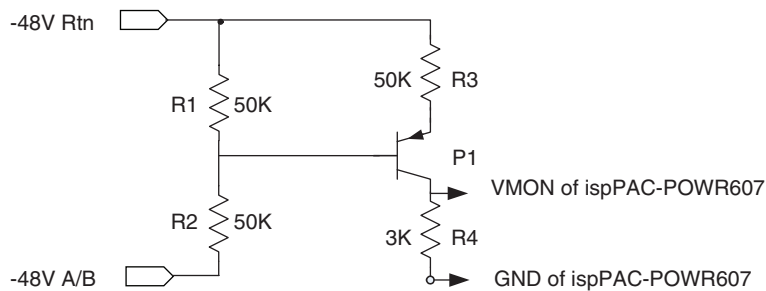


図 6-8 -48V 電源電圧の監視回路



適用可能なパワーマネージャIIデバイス

この回路は ispPAC-POWR607 か ispPAC-POWR1014A デバイスを用いて実装することができます。

給電コントローラ

7.1 給電コントローラとは？

基地局やマイクロ波 ADM (Add/Drop Multiplexer)、および MicroTCA シェルフを含む多くのシステムでは、回路基板は外部システムに電力を提供する必要があります。基地局では電力は RRH (リモートラジオヘッド) 用です。マイクロ波システムの場合の外部モデムと塔上アンテナは、地上にあるシステムから電力が供給される必要があります。そして MicroTCA の場合、電力モジュールは同一シェルフに挿入されている複数のアドバンスド・メザニンカード (AMC) に電力を提供する必要があります。

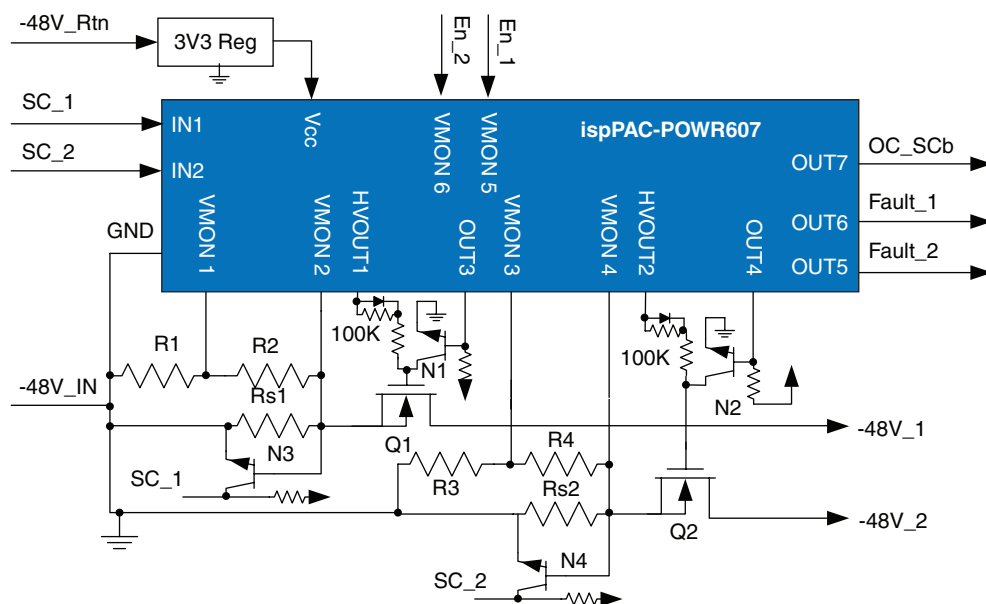
これら場合のほとんどは、給電系は短絡保護を備えると共に、過電流や不足電流などの故障を監視する必要があります。本章では最も一般的な -48V と 12V 給電の構成について議論します。これらの設計はまた、他の電圧に対応するように変更することができます。

7.2 デュアル -48V 電源給電

図 7-1 で示される回路は、2 系統の -48V 電源を給電制御するために MOSFET を用います。給電開始時の MOSFET の損傷を防ぐために、固定期間のヒステリシス電流制御メカニズムを用いることで、MOSFET を流れる電流は制限されます。その期間の後に MOSFET は完全にオンされ、そして回路は過電流と不足電流の故障検出のための電流モニタを継続します。給電回路で起こり得る電流故障には 3 つのタイプがあります。

1. 無電流故障 ~ 外部ケーブルが破損している場合など
2. 過電流故障 ~ 外部システムが通常より大きい電流を引き込む (危険でない程度の大電流)
3. 短絡電流故障 ~ 給電ケーブルの短絡によって危険な程度の大電流が流れる

図 7-1 ispPAC-POWR607 へのデュアル・チャンネル -48V 給電回路の実装



無電流や過電流の故障が検出された場合は、そのチャンネルに対する故障フラグがアクティブになります。短絡が検出された場合は、MOSFET が 500ns 以内に遮断されます。故障が検出された後、そのチャンネルに対する Enable 信号入力がアクティブな限りは、回路は継続的に給電を再開しようと試みます。

回路動作

回路は MOSFET Q_1 と Q_2 を通して 2 チャンネルの電力、 $-48V_1$ および $-48V_2$ 、を生成します。開放時の回路電流リミット（それ以下だと回路がオープンであると判定する電流値）は抵抗 R_{S1} と R_{S2} によって決定されます。ispPAC-POWR607 の VMON1 と VMON2、VMON3、および VMON4 ピンに対する監視電圧閾値は 0.075V に設定されています。直列抵抗 R_{S1} と R_{S2} の値は、最低電流の制限時に R_{S1} と R_{S2} 両端の電圧が 0.075V になるように選択されます。過電流制限は給電 1 については抵抗 R_1 と R_2 によって、給電回路 2 については R_3 および R_4 によって設定されます。 R_1 と R_2 の値は、 R_{S1} 抵抗を流れる最大電流のときに $R_1 / (R_1 + R_2) = 0.075V$ となるように選択されます。書き換えれば、 $I_{max} * R_{S1} * R_1 / (R_1 + R_2) = 0.075V$ です。また R_4 と R_5 の値も同じ数式を用いて決定されます。

イネーブル信号 ($En_1/2$) がアクティブにされると、給電回路 1 には Timer1 で、給電回路 2 には Timer2 によって定められる期間に対して、プログラムで決定された過電流値に制限されている状態で MOSFET をオンします。Timer1 か Timer2 がタイムアウトした後に MOSFET は完全にオンされ、回路は過電流と不足電流を監視し始めます。（注）選択された MOSFET は、Timer で決められた期間は最大電流を許容できなければなりません。

MOSFET が完全にオンされた後に、過電流や不足電流の状態が検出された場合、トランジスタ N1 や N2 を通して MOSFET はオフされ、そして（リトライタイマ）Timer3 と Timer4 が起動されます。リトライタイマがタイムアウトするとき、MOSFET は以前と同様に初期のヒステリシス制御動作に戻ります。

回路が非常な大電流を（直列抵抗 RS1 と RS2 が 0.7V として）検出した場合、トランジスタ N3 と N4 が信号 SC1 と SC2 をそれぞれプルダウンします。これらの信号は ispPAC-POWR607 のデジタル入力に接続されています。ispPAC-POWR607 内の論理式が、N1 と N2 を通して MOSFET Q1 と Q2 を直ちに（500ns 未満）遮断し、そしてリトライタイマが起動されます。リトライタイマがタイムアウト後に、MOSFET を遮断するトランジスタ N1 と N2 はオフされます。

Fault_1 と Fault_2 信号は各回路の過電流と不足電流をモニタするルーチンによって制御されます。過電流故障が起こると、対応するフラグは High にセットされます。それと共に（過電流と不足電流のフラグ）UC_OCb はロジック 0 (Low) にクリアされます。不足電流イベントが検出されると、UC_OCb 信号は Logic 1 にセットされます。故障が回路 1 と回路 2 の両方に存在している場合、ステータスフラグは両状態の間で 8msec ごとにトグルします。

アルゴリズム

デザインは各チャンネルでの独立した動作とするために、論理式を用いることで実装されます。以下のアルゴリズムは単純な論理式を利用します。回路の一部への給電を制御する 5 本の論理式があります。すべての論理式が同時に動作します。例えば短絡が発生した場合、他の 4 本の論理式が動作している間でも、短絡監視の論理式は直ちにアクティブになり、MOSFET を遮断します。このアルゴリズム（5 本の論理式の組）と同じものが、第二のチャンネル給電のために用いられます。

故障を示すフラグは、アルゴリズムを実装するシーケンス・コントローラ部で制御されます。

1. 論理式 1 ～ ヒステリシス制御された給電を開始するためにイネーブル信号とリトライタイマ信号を待ち、そしてヒステリシスタイマを起動する。給電がヒステリシス制御タイマによってプリセットされた期間内に完了することが期待される。ヒステリシス制御タイマは、イネーブル信号がアクティブにされると始動する。初期のヒステリシス制御タイマがタイムアウトした後に、MOSFET は完全にオンにされる。故障が検出された場合、この論理式は、再度ヒステリシス給電を起動する前に、リトライタイマがタイムアウトするのを待つ
2. 論理式 2 ～ 短絡状態の検出を待つ。検出された場合は高速の非同期リセット信号を通して MOSFET をオフする
3. 論理式 3 ～ 過電流か不足電流状態を監視する。いずれかを検出時にはリトライタイマ（2sec）を起動する
4. 論理式 4 ～ 5msec のヒステリシス制御タイマを始動するために、リトライ信号とイネーブル信号を監視する。このヒステリシス制御タイマは論理式 1 で用いられる
5. 論理式 5 ～ 通常動作が始まるときは、故障状態を新たに取り込むために、故障フラグをクリアする
故障状態はシーケンス・コントローラによって報告されます。

1. 回路 1 が通常動作していて、既に報告されている故障がないとき、回路 1 で過電流か不足電流の故障がないかをチェックし、そして故障が検出された場合、Fault_1 出力をアクティブにする
2. それが過電流状態か短絡状態の場合、UC_UCb フラグをオフにする
3. 回路 2 が通常動作していて、既に報告されている故障がないとき、回路 2 で過電流か電流不足の故障がないかをチェックし、そして故障が検出された場合、Fault_2 出力をアクティブにする
4. それが過電流状態か短絡状態の場合、UC_UCb フラグをオフにします。そうでなければ、オンに戻す

この回路のプログラマブルな機能

1. 過電流や無電流条件は回路 1 では R_{S1} 、 R_1 と R_2 を、回路 2 では R_{S2} 、 R_3 と R_4 を選択することによって設定できる
2. MOSFET の SOA 条件を満たすようにヒステリシス電流タイマの期間をプログラムできる（注：過電流とヒステリシス制御期間の両方が MOSFET の SOA によって決定される）
3. リトライ期間は共にそれぞれの回路で独立に設定することができる

適用可能なデバイス

この回路は ispPAC-POWR607 デバイスを用います。

7.3 3 チャネルの +12V 給電システム

用途によっては 2 チャネル以上の 12V 給電が必要です。こうしたアプリケーションにおいては、図 7-2 のような給電回路が使用されます。3 チャネル以上の給電には、モジュール化回路を複数実装します。これは 3 チャネル未満の給電を必要とする実装に対しては、未使用リソースを容易に他のペイロード電源管理機能に使用できるようにするためです。

図 7-2 は 3 チャネルに 12V を給電するために使用される ispPAC-POWR1014A デバイスを示します。

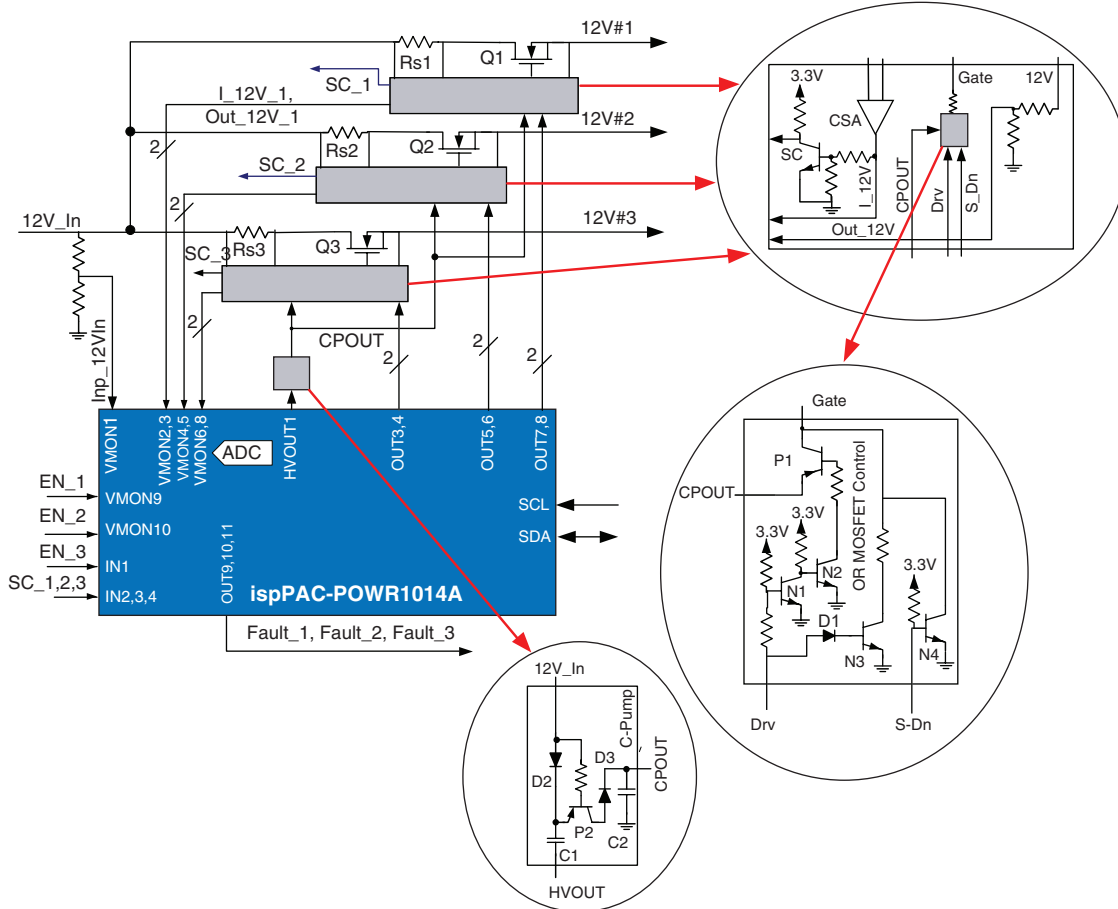
それぞれのチャネルを独立して制御することができます。この回路は各チャネル用に故障通知と共に、不足電流と過電流、及び短絡回路電流保護を備えています。故障が検出された後に、回路は継続的にリトライし、その間隔はプログラマブルです。電力は MOSFET を通して制御され、そして回路は MOSFET の SOA 動作を確実にします。動作中のすべての電圧と電流は、オンチップ ADC を用いることで I2C を通して測定することができます。

回路動作

ispPAC-POWR1014A デバイスはその電源を入力 12V 電源から取り出します。外付けチャージポンプの動作原理は以下の通りです（図 7-2 下部楕円相当のボックス）。

ispPAC-POWR1014A HVOUT ピンは 12V ($32\mu\text{sec}$ 間) と 0V ($8\mu\text{sec}$ 間) で周期的にトグルします。HVOUT1 ピンが 0V のとき、コンデンサ C1 はダイオード D2 を通してバックプレーン電圧の 12V に充電されます。このときトランジスタ P2 はオフです。HVOUT1 が 12V までトグルするとき、C1 電圧は HVOUT1 ピン電圧に加えられ、結果的に C1 と D2 の接続点でおおよそ 24V が生成されます。この電圧が P2 をオンし、ダイオード D3 を通してコンデンサ C2 を 22V に充電します。この電圧は MOSFET Q1 ~ Q3 をオンするには充分です。

図 7-2 3チャンネルの+12V 給電回路



一度オンになると、約 22V の CPOUT 信号を生成するためにデバイスは HVOUT1 ピンをトグルし始め、3 本の EN 信号入力のいずれか (EN_1/_2/_3) が High になるのを待ちます。EN 入力がアサートされると、対応する出力電圧を監視しつつ、デュアル電流レベルのヒステリシス制御メカニズムを用いることで MOSFET はオンされます。

たとえば EN_1 信号がオンされると、OUT3 ピンはロジック 0 (Low) にセットされます。これはトランジスタ N1 をオフし、続いてトランジスタ N2 をオンにします。トランジスタ N2 はトランジスタ P1 のゲートをドライブし、これをオンします。そしてトランジスタ P1 は 22V を CPOUT ピンから MOSFET Q1 のゲートに供給し、これをオンします。

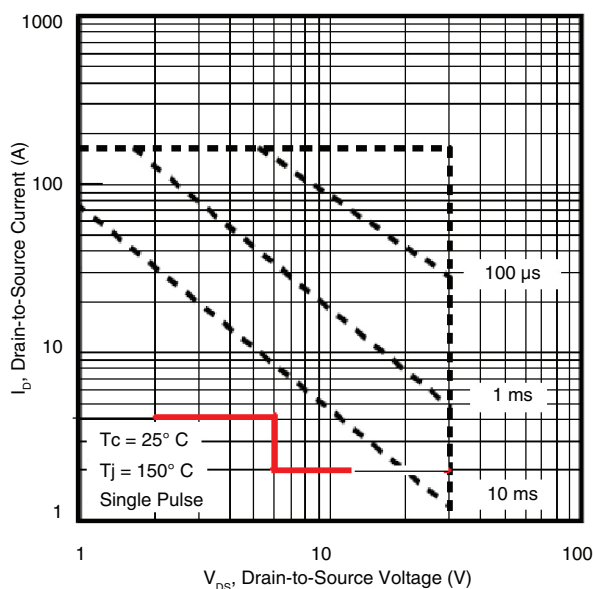
電源故障が検出された場合、OUT3 と OUT4 ピンはロジック 1 (High) にセットされます。これはトランジスタ P2 をオフして、トランジスタ N4 をオンします。そして N4 は直ちに MOSFET をオフするために、そのゲート電荷を放電します。

給電動作が始まるとき MOSFET Q1 はオンされます。その結果 MOSFET を流れる電流は著しく増加し始めます。これは SOA 領域外での動作という結果となり、MOSFET の損傷をもたらします。これを避けるために、MOSFET はヒステリシス電流制御でオンされます。以下のセクションは MOSFET の電流制御機能を記述します。

デュアル電流レベル・ヒステリシス制御

図 7-3 は MOSFET の SOA を示します。これは X 軸に MOSFET 両端の電圧 (V_{DS})、Y 軸が MOSFET を流れる電流の両対数グラフです。破線は異なるパルス幅期間に対する安全動作限界を意味します。電力が MOSFET に与えられてオンし始めるとき、動作点はグラフの右下部にあります。赤線（左下の太い実線）は、ispPAC-POWR1014A デバイスで実装されるヒステリシス・コントローラによって制御される電流上限を示します。MOSFET を流れる電流は、初めは低いレベルに制限されます。この電流は負荷のコンデンサを充電し、MOSFET にかかる電圧を低下させます。MOSFET にかかる電圧がおよそ中点（例えば 6V）まで下がると、完全に SOA 動作を維持しつつ、電流は倍にされます。第一の電流設定値と第二の電流設定値は図 7-3 内の赤線（左下の太い実線）によって示され、MOSFET の SOA に従って決定されます。

図 7-3 MOSFET の安全動作領域 (IRF7832)



負荷における電圧が最小動作値に達した後に、MOSFET は完全にオンされます。回路はその後は過電流や無電流故障などを監視し始めます。故障が検出された場合、対応する故障出力はアクティブにされ、そして回路はリトライ遅延時間待ちます。この待ちの期間に故障通知は維持され、その後に回路は MOSFET 電流制御を再開し始めます。出力電圧が 10msec 以内に最小動作値に達しない場合、故障フラグがセットされ、そして回路は別のリトライ期間を待ちます。

各給電チャンネル用のアルゴリズム

ステップ 1. Enable 信号がアサートされるのを待つ

ステップ 2. 給電を開始し、そして出力電圧が 10msec 以内に最小動作レベルに到達するのを待つ。
このステップは 2 レベルの電流設定で MOSFET をオンする

ステップ 3. 出力電圧が動作レベルにある場合、MOSFET を完全にオンし、そして過電流と不足電流の故障について出力電流を監視し始める。故障が検出された場合これを通知し、次に MOSFET をオフし、そしてタイマのリトライにジャンプする

ステップ 4. リトライタイマがタイムアウトするのを待ち、次に給電プロセスを開始するためにステップ 1 にジャンプする

ステップ 5. 上の 4 ステップ・シーケンスの間、以下の動作を並行して実行する

- a. 2 レベルの電流供給による 12V 給電の制御
- b. 短絡電流をモニタし、そして故障が検出されたときは 500ns 以内に MOSFET をオフする
- c. EN 信号をモニタし、そしてネゲートされた場合は MOSFET をオフする

給電回路のプログラマブルな機能

以下のセクションはこのデザインのすべてのプログラマブル機能について概説します。

- いかなる MOSFET の特性でも満足できるように 2 レベルの電流値をプログラムし、設計をカスタマイズできます。電流レベルを一つだけ必要とする場合も、対応する論理式は容易に変更できます。
- より速いターンオン時間が必要な場合、起動時により大きい電流を流すように回路を変更できます。これらの新しい電流値は、動作時の最小リミットと最大リミットとは別の値として設定できます。
- 初期の電源オン期間をモニタするために用いられるタイマはプログラマブルで、この設計では 10msec を用いています。設計要件に依存してこれを長くしたり、または短くしたりできます。
- リトライ周期はこのデザインでは 2sec タイマを用いました。これは 32 μ sec から 2sec までの定義済み 122 種の値から選択できます。
- 過電流と不足電流の設定は、単にコンパレータ閾値を変えることで変更できます。

他のペイロード電源管理機能を ispPAC-POWR1014A に集約

図 7-2 の回路は、3 チャンネルの 12V 給電機能を実装するために ispPAC-POWR1014A デバイスを用います。各チャンネルは 3 本の VMON 信号、1 本のデジタル入力信号、および 4 本の出力信号を使います。回路がより少ない給電チャンネル数しか必要でない場合は、設計のその部分を取り除くことができ、未使用リソースはシーケンス制御や監視、そして WDT などのような、他のペイロード電源管理機能を集約するために使用できます。また他のペイロード電源管理機能と共に、3 チャンネル給電を実装するためには、この設計を ispPAC-POWR1220AT8 デバイスに移植することができます。

適用可能なパワーマネージャ II デバイス

この設計では ispPAC-POWR1014 デバイスを用いました。しかし給電アルゴリズムは ispPAC-POWR1220AT8 デバイスに集約することができ、或いは各チャンネル用の給電アルゴリズムを実装するために、複数の ispPAC-POWR607 デバイスを使用することもできます。

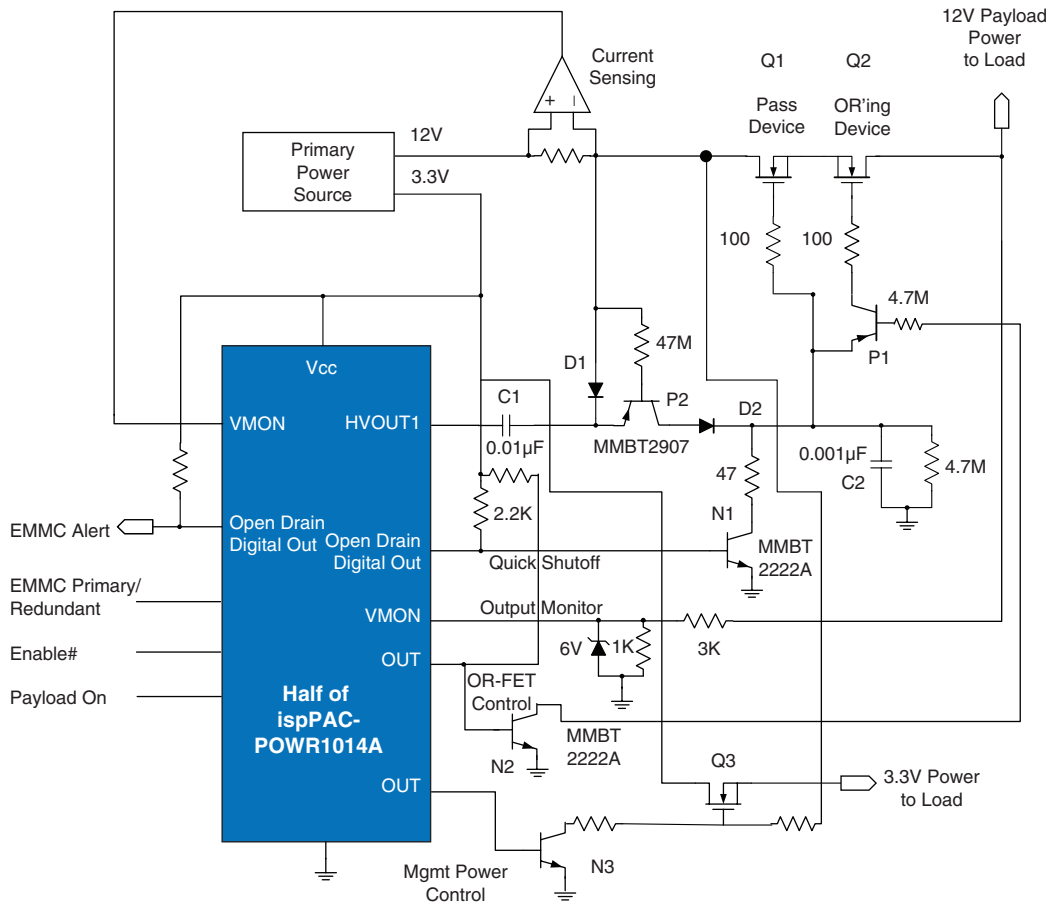
7.4 MOSFET 冗長化がある 2 チャンネルの +12V および 3.3V 給電

MicroTCA などのアプリケーションでは、16 チャンネルの 12V 給電回路を実装する電力モジュールが必要です。各チャンネルは電力をアドバンスド・メザニンカード (AMC) スロットに供給します。バックプレーンに AMC が挿入されるとき、電力モジュールは AMC 管理モジュール用電源の 3.3V をオンします。そして管理モジュールはシェルフマネージャと通信し、次にそのマネージャは 12V もオンするように電力モジュールに命令します (場合によっては、12V 電源は 3.3V 電源と共にオンされるため、回路は独立したペイロード電力イネーブル信号を待つことはしません)。その後電力モジュールは過電流を監視し始めますが、その状態が検出された場合は MOSFET をオフします。システム動作の間に AMC カードが取り出された場合は、電力モジュールは 100 μ sec 以内に電力をオフする必要があります。

信頼性の観点から 12V と 3.3V 電源は 2 枚の異なる電力モジュールカードから供給され、これらの電源がそれぞれバックプレーンで OR されます。どの時点でも一つの電力モジュールのみがバックプレーンに電力を供給します。スタンバイ電力モジュールは、オンライン・モジュールより電圧値を低く設定します。冗長化の機能を提供するために、電力の消費を避ける目的で MOSFET が用いられます。
 ([注] MicroTCA 給電規格を詳述することは本ドキュメントの対象ではありません。)

図 7-4 の回路は、2 チャンネル給電を実装するために ispPAC-POWR1014A デバイスをどのように使用することができるかを示します。

図 7-4 ispPAC-POWR104A の半分を使用する単一チャンネル uTCA 給電



回路動作

図 7-4 は 12V と 3.3V 各一チャンネルの給電を実装するために必要な回路を示します。12V 給電は回路の右上部に示す 2 個の MOSFET、パスデバイス (Q₁) および OR 用デバイス (Q₂) によって制御されます。3.3V 給電はトランジスタ N3 を使用して P チャンネル MOSFET Q₃ によって制御され、Enable# 信号がアクティブなときに MOSFET Q₃ を通してオンされます。次に Payload_On 信号がアクティブになると、12V 電力はパス MOSFET Q₁ を通して回路に供給されます。パス MOSFET Q₁ は電流のヒステリシス制御メカニズムを用いてオンされます。Q₁ が 12V 電源系にあるため、それがオンされる時はゲート電圧を約 20V にしなければなりません。20V ゲートドライブは、MOSFET が SOA 内で動作することを確実にするために C₁ と D₁、P₂、D₂ および C₂ を用いることで実装される外付けチャージポンプによって生成されます (回路動作は 7.3 節内の「デュアル電流レベルのヒステリシス制御」セクションで記述されています)。出力電力がいったん最小動作レベル以上になると、Q₁

は完全にオンされ、そして冗長系 MOSFET Q_2 は EMMC Primary / Redundant ステータスに依存してオンオフされます。これはプライマリ電源が冗長化調停に勝つことを確実にします。過電流イベントが検出されたとき、ispPAC-POWR1014A デバイスはトランジスタ $N1$ を通して Q_1 と Q_2 を遮断します。

動作記述

1. 出力電源が（恐らくオンライン電源の故障のため）最小閾値以下に低下した場合、スタンバイ・デバイスが OR 用 MOSFET Q_2 をオンし、かつプライマリ・デバイスは OR 用 MOSFET をオフして、EMMC Alert 信号で通知する。これにより AMC は、12V 供給電圧がその動作レベル以下に落ち込まないことを確実にする。
2. さらに 12V 電源の電流故障もモニタされる。もし電流が最大動作レベルを超えた場合は、EMMC Alert 信号をアクティブにして、パス MOSFET Q_1 をオフする。
3. スロットから AMC を取り出す前に、通常 AMC はシェルフマネージャに信号を送る。そしてシェルフマネージャは Payload_On 信号をディセーブルすることによって、ペイロード供給電源を非アクティブにする。ペイロード信号がオフされる時、ユーザはバックプレーンから AMC を取り出すことができる。次に AMC が取り出されると Enable 信号は非アクティブにされ、そして AMC への 3.3V 給電は $100\mu\text{sec}$ 以内にオフされる。場合によってはペイロード電圧のイネーブル信号は存在しないが、そのような場合は、ステップ 4 のみに対応するように設計を変更できる。
4. 予期せずして AMC カードが取り出されるプロセスの場合、イネーブル信号が非アクティブになった時から $100\mu\text{sec}$ 以内に、12V と 3.3V 電源の両方が同時にオフされる。

ispPAC-POWR1014A (MicroTCA) 給電アルゴリズム

1. Enable 信号を待ち、それがアクティブになったら 3.3V 電源をオンする
2. Payload_On 信号を待ち、そして 12V をオンする。これは Enable 信号がアクティブにされた時に 12V をオンするように、容易に変更できる。12V が 10msec 以内にオンしないなら、12V をオフし、そして故障を報告する
3. カードがプライマリである場合、OR 用 MOSFET をオンする。さもなければ、OR 用 MOSFET をオフする
4. 以下のモニタを開始して、必要なアクションをとる
 - a. 電流は過電流リミットより少なくなければならない。過電流リミット以上の場合、パス MOSFET を遮断し、そして EMMC にエラーを通知する
 - b. 出力電圧がプライマリ用の閾値下限より低い場合は OR 用 MOSFET をオフし、そしてエラーを報告する。ペイロード電圧が過電圧リミットより高い場合はパス用と OR 用の両 MOSFET をオフし、そしてエラーを EMMC に報告する
 - c. カードがセカンダリ（冗長系）として構成されていて、かつ電圧がプライマリ電圧の最小値より低い場合は OR 用 MOSFET をオンして、そして EMMC にエラーの報告をする
 - d. イネーブル信号が非アクティブになった場合はパス用と OR 用の両 MOSFET を直ちにオフする
 - e. プライマリ系が動作中にセカンダリ系になる場合は OR 用 MOSFET をオフし、MOSFET をオンするために許容されるより低い電圧かどうかを監視する

- f. セカンダリ系がプライマリ系になる場合は OR 用 MOSFET をオンし、そして許容されている電圧範囲より高いかどうかの監視を開始する

この回路のプログラマブルな機能

- 異なる MOSFET の要件を満たすように、給電立ち上がり監視期間を変更できます。
- ispPAC-POWR1014A の電流の監視閾値を再プログラムすることによって、出力電流の最大値を変更できます。

その他の拡張機能

- I²C を介して電圧値と電流値が測定できます。
- すべての MicroTCA 実装が、すべての規定された機能を用いるという訳ではありません。そのような場合、電流が閾値下限以下にあるときは、OR 用 MOSFET をオフにしたままにできます。これは電圧がプライマリ系より高いときに、セカンダリ系からの電流が逆流することから守るためです。

適用可能なパワーマネージャ II デバイス

ispPAC-POWR1220AT8 デバイスでは最大 4 チャンルの給電を実装できますが、一方単一チャンネルの給電とするために ispPAC-POWR607 デバイスを使用することもできます。

マージニングとトリミング

8.1 電圧マージニングとは？

マージニング（マージンテスト）はボードが入力の変動範囲にわたって動作することを確認するテストステップです。電圧マージンテストは、そのオンボード電源と入力電源の全動作範囲にわたって、ボードが期待通りに機能することを確認します。また、回路基板も温度やタイミング、そしてノイズなどその他のマージンテストの対象となります。

例えば入力電源の許容範囲が $\pm 10\%$ である場合、電圧マージンテストは、入力電源が高いマージン値（公称電圧 $+10\%$ ）にある時に、そして電源が低いマージン値（公称電圧 -10% ）にある時に、いずれもボードが正しく機能することを確認します。またボードに多くのボード搭載電源がある場合、マージンテストはボード搭載電源の個別のバラつきも扱うべきです。

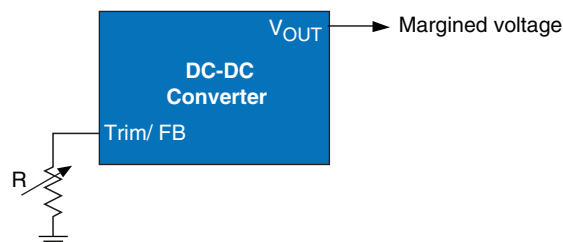
半導体デバイスは、その動作温度が最も高く、かつその電圧が最も低い状態にあるときに、通常最も低速動作になります。同様にデバイスはその動作温度が最も低く、かつその電圧が最も高い状態にあるときに、最も高速動作になります。設計が規定する温度範囲と電圧範囲にわたって安定なことを確認するために、設計者は回路基板を対象にして、恒温槽で温度を高温に設定し、かつ動作電圧を低く合わせて動作確認し、次に低温で電圧を高く合わせて、動作をチェックします。これは“4 コーナーテスト”と呼ばれます。

マージンテストは通常、ボードデバッグの際に行われます。場合によって、品質・信頼性部門は、彼らがボードの製造を承認する前にマージンテストの実施を求めます。

8.2 電圧マーージニングの実装

図 8-1 はトリム / フィードバック (FB) ノードに抵抗が接続された DC - DC コンバータを示します。通常この抵抗値が、DC - DC コンバータの公称出力電圧値を決定します。

図 8-1 電源のトリム / FB ノードに接続される抵抗値を変更してマーージン電圧を生成



注：出力公称電圧を +/-5% 増減させるために抵抗値を変える

通常 DC - DC コンバータはその出力電圧を標準的な値、例えば 3.3V や 2.5V、或いは 1.5V に設定するために、標準の抵抗値を必要とします。こうした公称出力電圧を +/-5% 変えるためには、設計者はそれぞれの DC - DC コンバータ用にポテンショメータ（可変抵抗）か、標準抵抗値を直並列に組合せたもののどちらかを使用します。この場合、恒温槽でテストする対象となる全てのボードに、人手で抵抗の変更をしなければなりません。

マーージニングのための人手で抵抗値を変えることには、以下のような幾つかの問題があります。

- 作業遅延が増大します。出力電圧を正確に変更する抵抗値を見つけることは、しばしば標準抵抗を直列や並列で組み合わせて、人手で半田付けする必要があります。それぞれの電源のために異なる抵抗の組合せを見つけなければなりません。まれに起きる恒温槽を使用したテストにおけるボードの故障は、人手による半田付けの接合不良が原因かもしれません。ポテンショメータが使用されていても、恒温槽における湿気が接触の問題を起こすかもしれず、これはマーージンテストを遅延させます。
- 自動化された信頼性試験には、マーージニングのために人手で抵抗を半田付けする方法を用いることはできません。
- 低いコア電圧で動作する最近の VLSI や CPU は、マーージニング自体が精度を必要とするため、やはり人手による方法を用いることはできません。

8.3 トリミングとは？

現代の回路基板は、大きい電流容量で低電圧（1.2V かそれ以下）の DC - DC コンバータを複数個必要とします。そのような低電圧で 10A ~ 20A の仕様も珍しくはありません。さらに入力電圧仕様に違反することなく、CPU / ASIC のダイナミック電流の要件を満たす余裕が十分あることを確実にするために、およそ 1.5% 以下の非常にタイトな出力電圧制御を必要とします。

トリミングは、電圧と温度範囲にわたって DC - DC コンバータの出力電圧を予め決められた値近くに正確に設定して、維持するプロセスです。マーージニングはトリミングの特別なケースです。

また特定の電圧に設定するために、トリミングは図 8-1 で示したものと同一メカニズムを用います。しかし、1.5% かそれ以上の精度要件を満たすために、DC - DC コンバータは出力電圧を設定する非常に高精度（0.1% かそれ以上）のトリム抵抗を使用します。場合によってはコンバータ毎に異なる出力電圧精度差を許容するために、レーザトリムされた抵抗と補償抵抗が用いられます。

お気づきのように DC - DC コンバータが高精度要件を満たす必要があるときは、著しくコストがかかります。場合によってこのような大電力・大電流の要求を満たすためにデジタル電源が用いられますが、ADC や DAC、および正確な基準電圧を必要とするため、これらはさらに高価になります。

供給電源トリミングを必要とする主用途

低い供給電圧（1.2V かそれ以下）で大電流（5A かそれ以上）の定格を必要とする IC を搭載する回路基板には、トリミングが必要です。

例えば 1.2V DC - DC コンバータは以下の条件のすべて最大 +/-5% (+/-60mV) のバラつき・変動を保証する必要があります。

- 無負荷から全負荷までの平均電流変動
- 出力電圧リップル
- 平均電流レベルが異なる IC のダイナミック電力の要求
- 製造時の部品バラつき

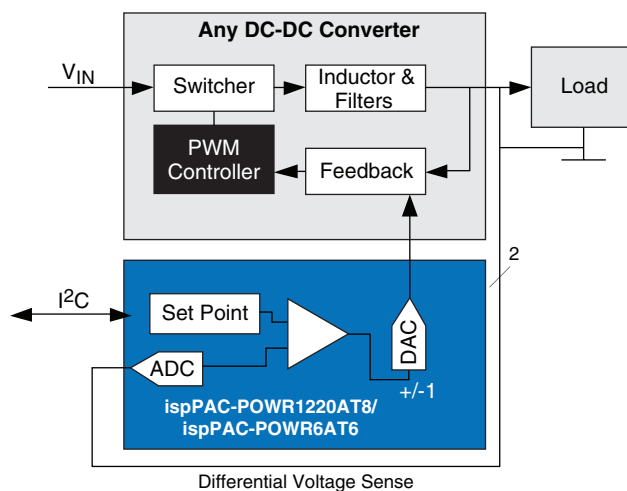
上記条件のすべてで確実に電圧デバイス仕様を満たすために、一般的に DC - DC コンバータは動作電圧の初期精度が 2% かそれ以上の精度を必要とします。通常これらの高精度で低電圧の電源はより高価で、かつ電圧を設定するために高精度の抵抗を必要とします。

その代わりに、外付けトリミング・メカニズムを用いることによって、従来の低コスト DC - DC コンバータの精度を改善することができます。次のセクションはラティス・パワーマネージャII デバイスを用いるトリミングについて記述します。

8.4 トリミングおよびマージニングの動作原理

以下の図 8-2 は、アナログ DC - DC コンバータ用にトリミングとマージニング機能を実装したラティスのパワーマネージャ II デバイスを示します。

図 8-2 電源のトリム /FB ノードに接続される抵抗値を変更してマージン電圧を生成



Result: Voltage Error <1% At Load! (-40° to +85° C)

図 8-2 の上部は負荷に電力を供給する DC - DC コンバータです。出力電圧はフィードバック回路に用いられる部品によって決定されます。図下部のパワーマネージャ II デバイスは、差動検出入力を介してオンチップ ADC を用いることで電圧を測定します。パワーマネージャ II は、オンチップ DAC を用いて DC - DC コンバータのフィードバック・ノードに加えられる電圧や電流を増減することで、DC - DC コンバータの出力電圧を上げたり、または下げたりすることができます。DC - DC コンバータによっては、フィードバック・ノードの電流が電圧を増加させると、出力電圧は低下します。

パワーマネージャ II におけるセットポイント (set point) レジスタは負荷端で必要な電圧値を保持します。580 μ sec ごとに、パワーマネージャ II デバイスはオンチップ ADC を用いて負荷端の電圧を測定します。ADC のデジタル出力はセットポイント・レジスタ値に対して比較されます。負荷電圧が高めの場合、DAC 値はデクリメントされ、それが DC - DC コンバータのフィードバック・ノードに加えられる電圧を減少させます。負荷電圧が低めの場合、DAC 値はインクリメントされ、ノードにより高い電圧を加えます。これは閉ループトリム・メカニズムと呼ばれます。

閉ループトリムを切断して、I²C バスを介して直接 DAC レジスタに値をロードすることもできます。この方法はマージニングを実装するために用いられます。外付けマイクロプロセッサは、予め選択された DAC 値をパワーマネージャ II に直接ロードし、その結果例えば +/-5% などのように、出力電圧を変えることができます。またマイクロコントローラは、パワーマネージャ II の ADC を用いることで DC - DC コンバータの出力電圧を測定することができます。そして閉ループ・マージニングを実装するために、必要に応じて出力電圧を上下に修正します。

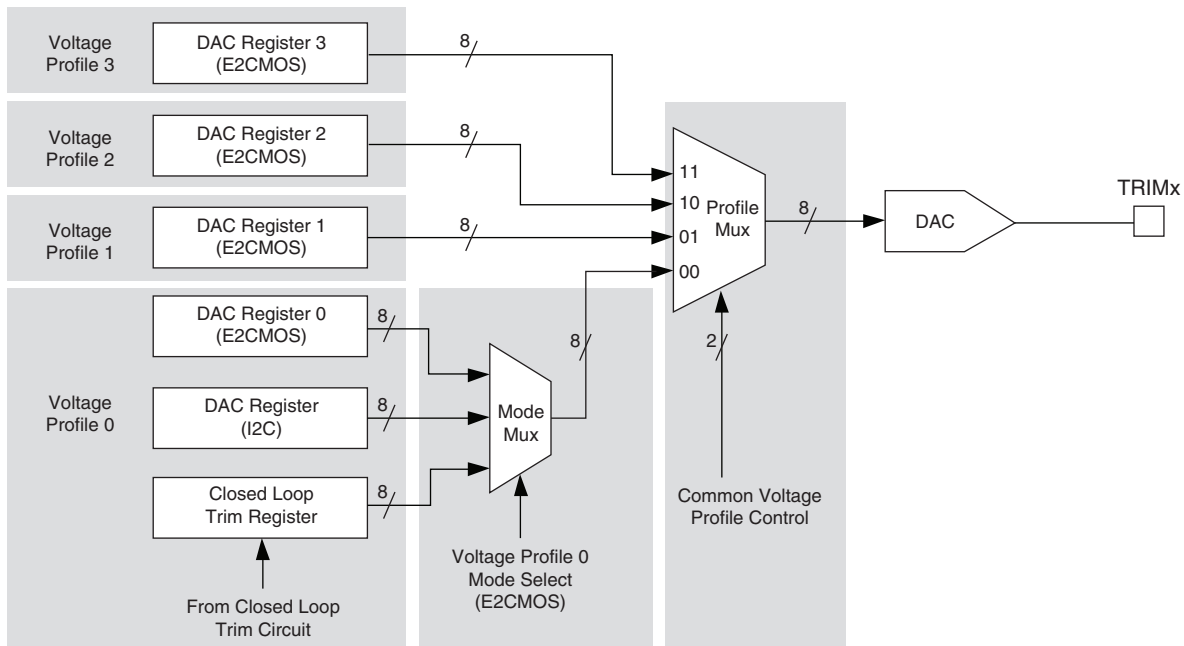
回路基板には、通常異なる電圧を供給する複数タイプの電源があります。これら個々の電源は、異なる電流レベルがそれらのフィードバック・ノードに与えられる必要があります。結果的に、パワーマネージャ II と DC - DC コンバータのフィードバック・ノード間に接続される抵抗ネットワークは、それぞれの DC - DC コンバータ・タイプごとにユニークなものが必要になります。

次のセクションではパワーマネージャ II のアーキテクチャ・ブロックを簡潔に記述し、次に DC - DC コンバータのフィードバック・ノードとパワーマネージャ II DAC 出力の間に接続される抵抗ネットワークの設計について詳細に説明します。

パワーマネージャ II のトリムセル・アーキテクチャ

図 8-2 では公称出力電圧用の値と共に、上・下マーージング値を DAC 用レジスタに格納します。例えばマーージング (+/-5% など) と低電圧セットポイントのトリミング (1.2V +/-10mV など) に対応するためには、3 本の個別の DAC 値を異なるレジスタに格納しなければなりません。パワーマネージャ II デバイスには DAC あたり 6 本のレジスタがあります。DAC とその関連レジスタを含むブロックは TrimCell と呼ばれ、図 8-3 は TrimCell のブロック図を示します。

図 8-3 パワーマネージャ II デバイスの TrimCell アーキテクチャ



6 本の DAC レジスタは、電圧プロファイルと呼ばれるハードウェアから選択可能な 4 つのグループに分割されます。これら 6 つの DAC 値のうち、4 本はオンチップ不揮発メモリに格納されます。残り 2 本のレジスタは揮発性です。揮発性レジスタの 1 本には I²C インターフェイスで直接値をロードすることができます。揮発性レジスタのもう一方は閉ループトリム回路によって制御されます。電圧プロファイル 3、2、および 1 は、外部ハードウェアピンもしくは PLD によって内部的に選択され、不揮発メモリ内の対応する値が DAC にロードされます。このプロファイル選択機能によって、マーージングとして各電源電圧を高く、或いは低くすることができます。これらのプロファイル (Profile3 / 2 / 1) で動作している間、パワーマネージャ II は “開ループで動作している” と言われます。すなわち DAC レジスタ内容はスタティック (固定) であり、動作の最中に実際の DC - DC コンバータ出力電圧に依存して値が調整されるわけではありません。

これに対して、非常に高い精度 (セットポイント電圧 +/- 10mV) に出力電圧を制御するためには、Profile0 を用いなければなりません。Profile0 には動作モードが 3 つあります。

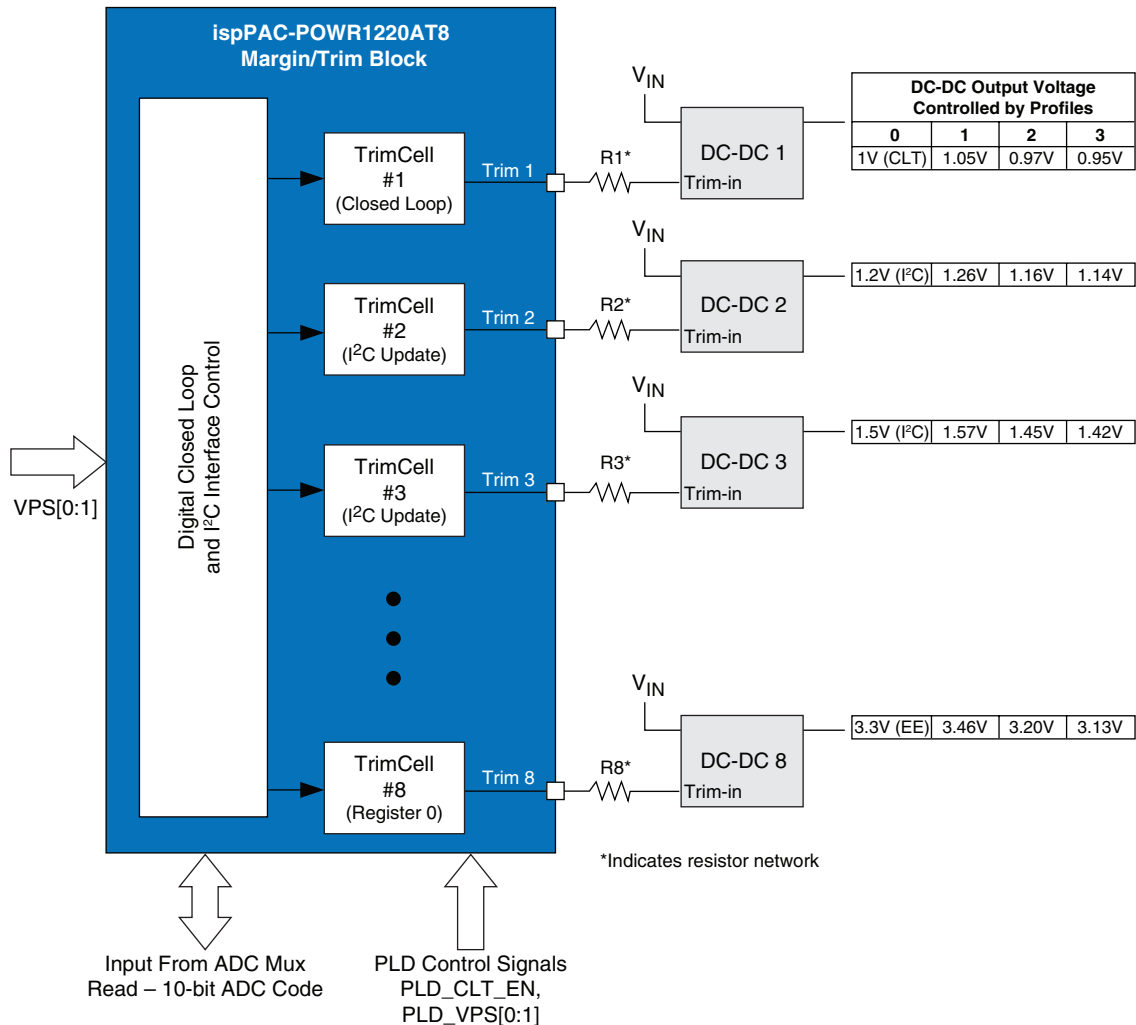
A. E²CMOS[®] (EEPROM) コンフィグレーション・メモリに格納されている DAC 値による開ループ動作。このモードによる動作は、Profile1、2、および 3 の開ループ動作に類似しています。

- B. 開ループ / 外部閉ループ動作。I²C バスを通して I2C DAC レジスタに値をロードします。この動作モードは、DC - DC コンバータの実際の出力電圧に依存して外部マイクロコントローラが出力電圧を微調整するために用いられます。これは外部閉ループ動作モードとも呼ばれます。
- C. 閉ループトリム動作。この動作モードは、対象の DC - DC コンバータ出力電圧を正確にトリムするために用いられます。出力電圧の厳密な制御は、オンチップ閉ループ制御回路によって維持されます。閉ループ回路は 580 μ sec に一度アクティブにされます。またこれは 1.15msec や 9.2msec、または 18.5msec など、より遅いレートでアクティブになるようにプログラムすることができます。アクティブにされると、オンチップ閉ループ制御回路は DC - DC コンバータ出力電圧を測定し、それをセットポイント・レジスタに格納された値と比較します。DC - DC コンバータの出力電圧トレンドに依存して、閉ループ回路は出力電圧差をなくす方向に DAC 値をインクリメントするか、またはデクリメントします。ispPAC-POWR1220AT8 デバイスには、[図 8-4](#) で示されるように TrimBlock に 8 つの TrimCell があります。

パワーマネージャ II は複数の TrimCell を集積

ispPAC-POWR1220AT8 デバイスには、[図 8-4](#) で示されるように TrimBlock に 8 つの TrimCell があります。各 TrimCell が一つの DC - DC コンバータを制御するように、独立してプログラムすることができます。電圧プロファイル選択は、ハードウェア制御ピン (VPS[0:1])、またはオンチップ PLD によって制御され、すべての TrimCell に共通に適用されます。

図 8-4 ispPAC-POWR1220AT8 はトリムブロックに 8 つの TrimCell を集積



例えば図 8-4 で電圧プロファイルが Profile3 に設定されているとき、DC-DC コンバータ 1 は 0.95V (通常動作電圧 1V の -5%) を出力し、一方で DC-DC コンバータ 2 は 1.14V (公称電圧 1.2V の +5%) を出力する、などです。

同様に例えば電圧プロファイルが Profile1 に設定されているとき、DC-DC コンバータ 1 は 1V + 5% を出力し、DC-DC コンバータ 2 は 1.2V + 5% を出力します。この方法はマーージングを実装するために用いられます。

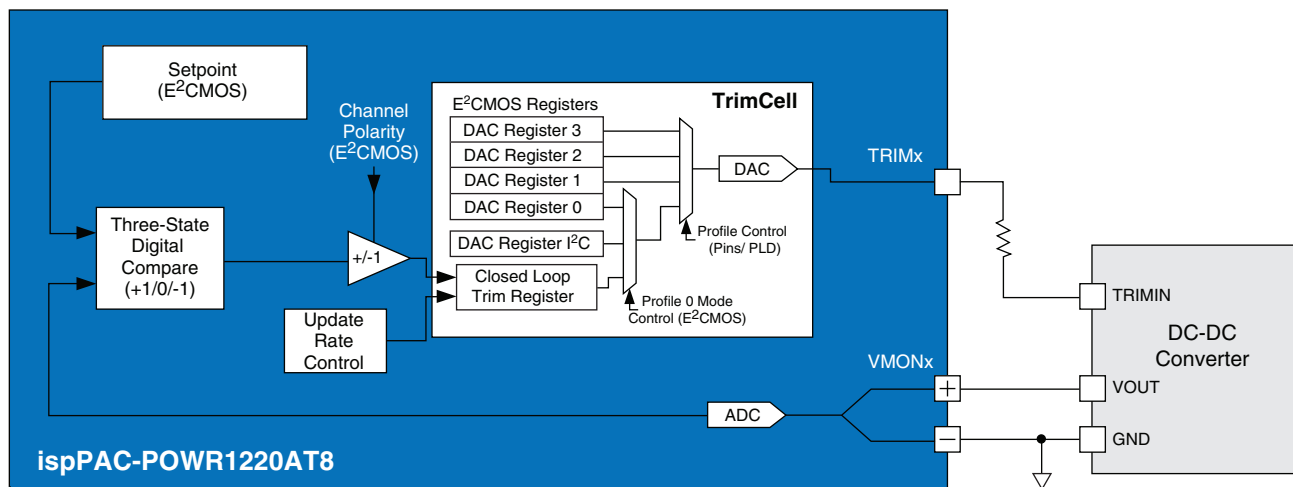
また VPS[0:1] = 0 のときは、DC-DC コンバータ 1 は 1V を出力し、そして DC-DC コンバータ 2 は 1.2V を出力しますが、この場合 (Closed Loop と表記されている) TrimCell0 はオンチップ閉ループ制御メカニズムを用いることで DC - DC コンバータ出力電圧を維持するのに対して、(I2C Update と表記されている) TrimCell1 は外部マイクロコントローラを用いて 1.2V の電圧を維持します。

TrimCell の閉ループトリム動作モード

図 8-5 は閉ループ・トリムモードで動作するように構成された TrimCell と DC - DC コンバータの接続を示します。Trim ピンと DC - DC コンバータの Trim_in ピン間の抵抗は、DAC によって供給され

る電圧を DC - DC コンバータの Trim 加算ノードに加えられる電流に変換します。ADC は DC - DC コンバータ電圧を測定するために用いられます。3 ステート・コンパレータがセットポイントと ADC 測定値を比較し、出力として閉ループ・トリムレジスタ値をインクリメントするか、デクリメントするか、またはそのまま保持します。

図 8-5 ispPAC-POWR1220AT8 閉ループトリミング・メカニズム



パワーマネージャII デバイスに電源が投入されると、DAC 出力電圧は “バイポーラゼロ (Bipolar Zero) 値” から動作が始まります。バイポーラゼロ電圧はオフセット電圧設定であり、0.6V、0.8V、1V、または 1.25V から選択されます。結果として、DC - DC コンバータ出力電圧が公称値の非常に近から始まることとなります。この値を用いてすべての電源が順序制御されます。電源シーケンス制御がいったん完了すると、閉ループトリミング・プロセスがアクティブにされます。

閉ループトリミング回路は、ある周期でそれぞれの TrimCell を動作させます。閉ループトリミング周期は、プログラマブル・タイマを用いることでアクティブにすることができ、580 μ sec、1.15msec、9.2msec または 18.5msec のいずれかに設定できます。閉ループトリム回路は ADC、3 ステートコンパレータ、セットポイント・レジスタ、チャンネル極性コントローラ、制御ループレジスタ、インクリメント / デクリメント制御、および DAC よりなります。トリム周期の間に閉ループトリム回路は各 TrimCell のために以下の機能を実行します。

1. ADC によって DC - DC コンバータの電圧を差動で測定する
2. セットポイント・レジスタと ADC の出力を比較する。極性が正に設定されている場合、以下に比較の結果とその動作を示す
 - a. DC - DC コンバータ電圧がセットポイント・レジスタ値より大きい場合、閉ループ・トリムレジスタの値をデクリメントする
 - b. DC - DC コンバータ電圧がセットポイント・レジスタ値より小さい場合、閉ループ・トリムレジスタの値をインクリメントする
 - c. ADC 値がセットポイント値と同じ場合、閉ループ・トリムレジスタの値を保持する

極性が負に設定されている場合、上のステップ a と b におけるインクリメントとデクリメントが逆になります。

閉ループトリミングは、負荷端での電圧がセットポイント値から正確に $\pm 10\text{mV}$ 以内になることを確実にします。この誤差には、最大 ADC 測定の定常誤差と DAC 量子化誤差を含んでいます。データシートによると、最大 ADC 誤差（プロセス、電圧、および温度にわたる利得、オフセット、INL、および DNL を含む）は 8mV です。

DAC からの誤差はステップサイズのためです。この誤差は以下のように計算されます。

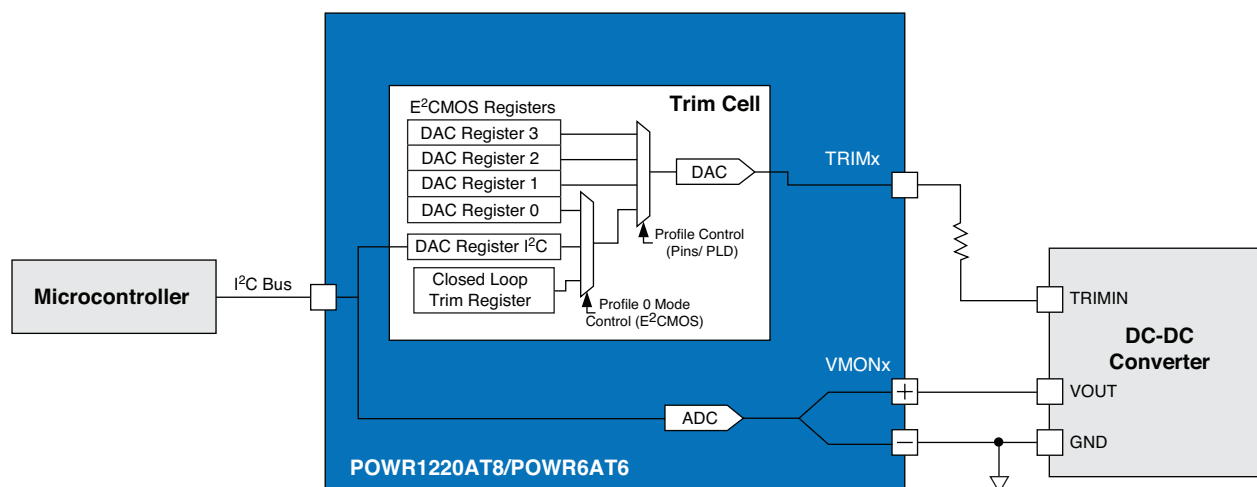
通常、DAC と DC - DC コンバータの間の抵抗は、結果として DC - DC コンバータ出力電圧の DAC フルスケール（128）振幅が、マーージングレベルで 5% になるように計算されます。これが意味するのは、DAC 値の各ステップが $5\%/128 \approx 0.05\%$ の出力電圧ステップをもたらすということです。例えば 3.3V 電源では、DAC 値シングルステップによる電圧バラつきは、 $3.3 \times 0.05 / 100 \times 128 = \text{約 } 130\mu\text{V}$ の出力電圧変動になるということです。実質的に、主な誤差成分は ADC 誤差です。DC - DC コンバータ部品や DC - DC コンバータ精度などによる誤差は、出力電圧を正確に維持する閉ループトリム・メカニズムによって補償されます。

閉ループトリムとマイクロコントローラを用いる閉ループ・マーージング

図 8-6 は閉ループ・トリミングにマイクロコントローラを用いる構成を示します。ここでマイクロコントローラは、I²C バス経由で、オンチップ ADC を用いて定期的に DC - DC コンバータ出力電圧を測定します。マイクロコントローラは、次に DC - DC コンバータ電圧に依存してアルゴリズム的に新しい DAC 値を計算し、その値を I²C インターフェイスからロードします。

マイクロコントローラ・ベースのマーージングは、全てが I²C バスを介して実装され、パワーマネージャ II で Profile0 を用います。閉ループ・マーージングを実装するためには、マイクロコントローラは I²C を通じて DAC レジスタに DAC 初期値をロードし、ADC 電圧が安定するのを待ちます。安定した電圧値に依存して、マイクロコントローラは DAC 値をインクリメントするか、またはデクリメントします。この方法は、マージン電圧を正確に設定して、制御することを可能にします。

図 8-6 マイクロコントローラを用いた閉ループ・トリミングとマーージング



DC - DC コンバータが接続されたパワーマネージャ II とのインターフェイス

DAC から DC - DC コンバータにインターフェイスするということは、Profile0 で DAC レジスタ値がバイポーラゼロ電圧のとき、DC - DC コンバータ出力電圧が公称値になる必要があります。またそれはフィードバック・ノードへの適切な電流を注入することで、DAC の最大値と最小値が結果として DC - DC コンバータ出力電圧がマージン電圧値になるようにする必要があります。

抵抗値も DC - DC コンバータのフィードバック・ノードで用いられる構成や内部基準タイプ（電流か電圧か）、およびフィードバック・タイプなどを考慮に入れなければなりません。DAC 出力電圧振幅に対して全タイプの DC - DC コンバータ変数を対応づけするために、[図 8-7](#) から [図 8-11](#) で示されるような多くの抵抗ネットワーク・トポロジーが必要です。

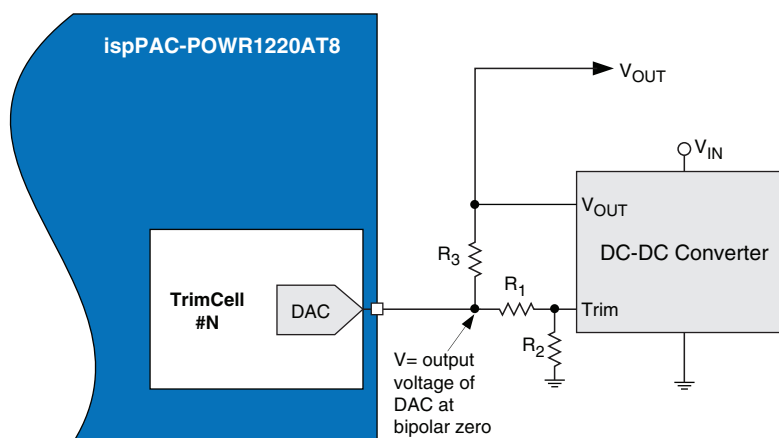
[図 8-7](#) はパワーマネージャII デバイスと DC - DC コンバータ間の典型的な抵抗ネットワークを示します。以前に記述したように、ispPAC-POWR1220AT8 は個別に最大 8 個の DC - DC コンバータをモニタしてトリムすることができます。[図 8-7](#) で示されるような抵抗ネットワークを介して、パワーマネージャII は異なるタイプの DC - DC コンバータのトリムポートにインターフェイスします。

抵抗の R_1 、 R_2 、および R_3 が DC - DC コンバータの始動電圧を決定します。これは Trim ピンからグラウンドに抵抗でプルダウンすることと同等です。これら抵抗値は、 R_1 と R_3 の間のノードにおける電圧が DAC 起動電圧と等しくなるように選択されます。

これら 3 本の抵抗値は、以下の入力を用いることで PAC-Designer ソフトウェアによって計算されます。

1. DC - DC コンバータのタイプは 4 種類
 - a. 固定電圧
 - b. トリム入力に接続されるプルダウン抵抗によって出力電圧を設定
 - c. 出力電圧端子に接続される抵抗によって出力電圧を設定
 - d. フィードバック・ノードの出力電圧端子と、そしてグラウンドに接続される 2 本の抵抗によって出力電圧を設定
2. 公称動作電圧
3. 正方向と負方向へのマーージング電圧範囲

図 8-7 抵抗ネットワーク・トポロジー #1



TrimCell を DC - DC コンバータに接続

すべての DC - DC コンバータ・タイプが、[図 8-7](#) で示されると同じ抵抗ネットワーク（ R_1 、 R_2 、および R_3 ）を必要とするわけではありません。PAC-Designer ソフトウェアによって生成される、他に有り得るタイプの抵抗ネットワークを[図 8-8](#) から[図 8-11](#) に示します。

図 8-8 抵抗ネットワーク・トポロジー #2

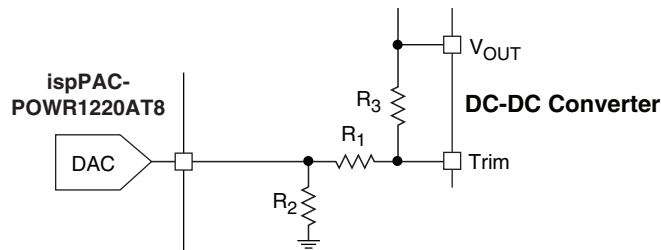


図 8-9 抵抗ネットワーク・トポロジー #3

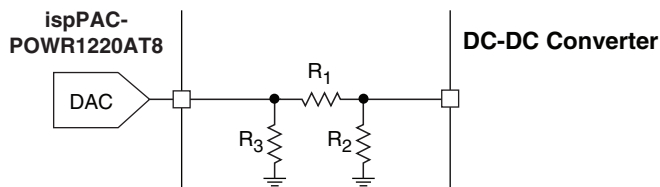


図 8-10 抵抗ネットワーク・トポロジー #4

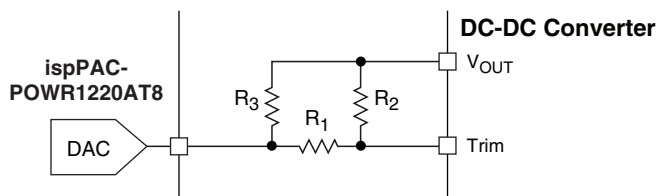
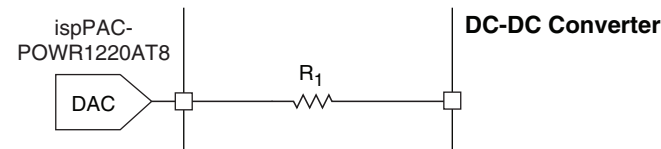


図 8-11 抵抗ネットワーク・トポロジー #5



PAC-Designer ソフトウェアを用いたトリミングおよびマーージニング・ネットワークの設計

必要な抵抗トポロジーを決定することは、多くのノード方程式を解くこと、および DC - DC コンバータのエラーアンプ・アーキテクチャを理解することを伴います。

PAC-Designer ソフトウェアは抵抗ネットワークで標準抵抗を用いつつ、抵抗トポロジーを決定するプロセスを自動化します。PAC-Designer ソフトウェアを用いて図 8-7 から図 8-11 に示される抵抗値を計算するには、以下の 2 ステップの手順を踏みます。ソフトウェアでは方程式による解が標準抵抗値になるまで、設計を繰り返すことができます。

DC - DC コンバータのフィードバック・トリムセクションの特性を用いて DC - DC Converter Library (コンバータ・ライブラリ) を作成します。これは DC - DC コンバータのデータシート内で一般的に規定されている、いくつかのパラメータを用います [註¹²]。

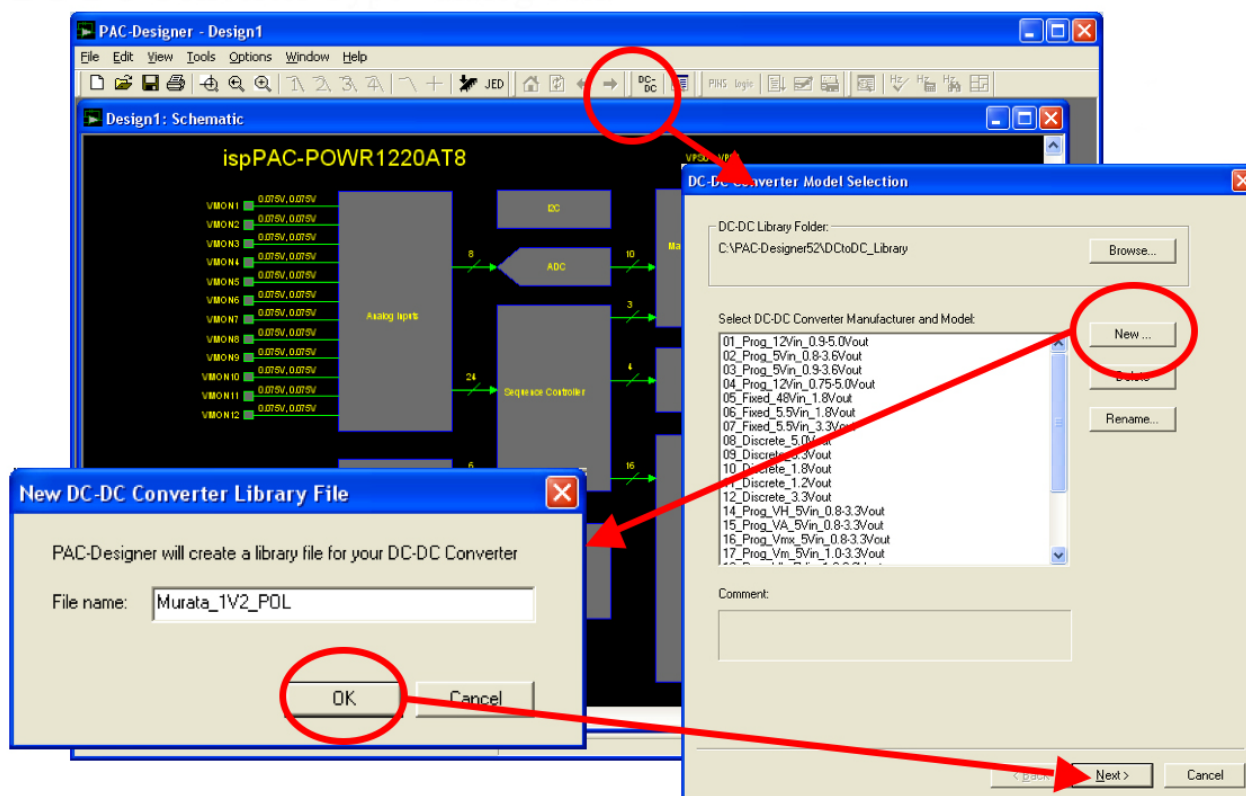
12. 既に PAC-Designer に登録されている DC-DC コンバータを使用する場合は、本ステップは省略できる

次に DC - DC コンバータを TrimCell と関連づけ、そしてその DC - DC コンバータ用の特定の出力トリム電圧とマージン電圧用の抵抗値を計算します。

DC - DC コンバータ・ライブラリエントリの作成

1. DC - DC コンバータ・ライブラリエントリを作成するためには、ispPAC-POWR1220AT8 デザインをオープンし、[図 8-12](#) で示されるように “DC-DC” ボタンをクリックして、DC-DC Model Selection メニューを開きます。<New> ボタンをクリックし、そして DC-DC モジュール名（例えば Murata_1V2_POL）を入力します。そして、<Next> をクリックして “Select the DC-DC Converter Type” ダイアログボックスを開きます。

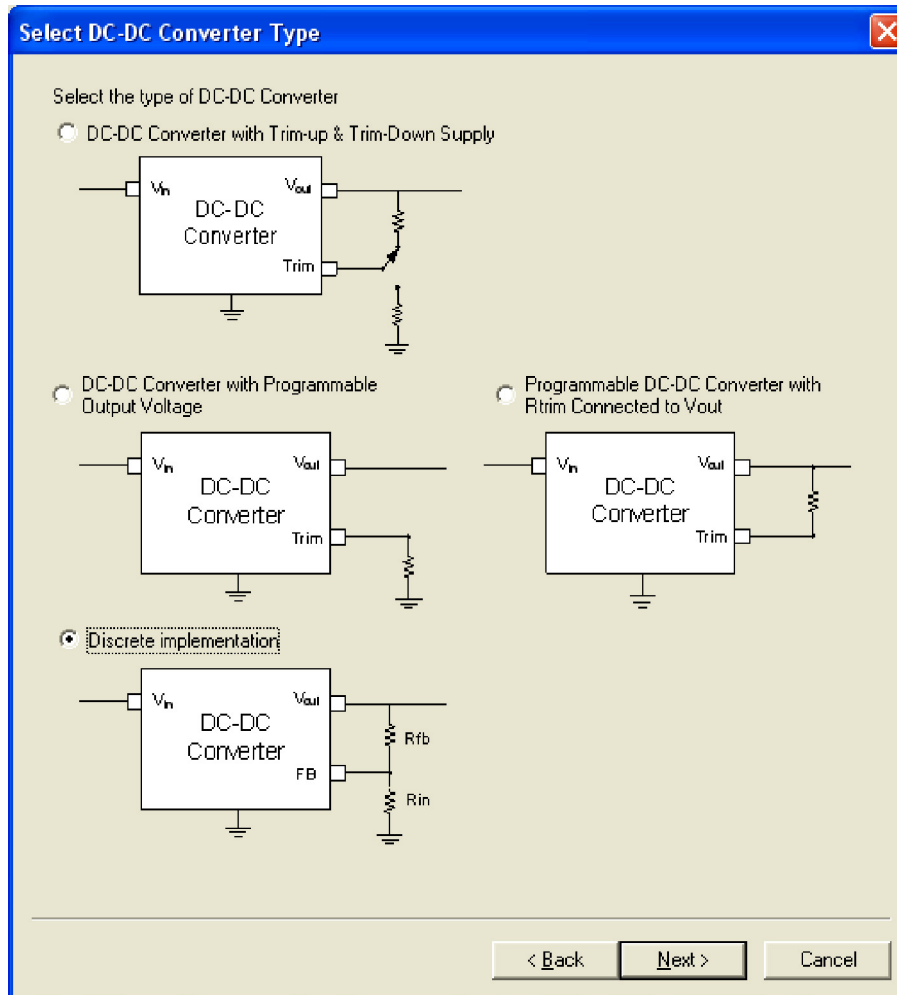
図 8-12 DC - DC コンバータのライブラリへの追加



2. “Select the DC-DC Converter Type” ダイアログボックスは 4 タイプの DC - DC コンバータを示します。
 - a. DC-DC Converter with Trim-up & Trim-down (トリムアップ / ダウン機能のある DC - DC コンバータ) ~ 通常、この DC - DC コンバータは固定電圧のモジュールとして入手できる。これらの電源は抵抗を GND または VOUT に接続することによって、マージン電圧を上下させることができる。
 - b. DC-DC Converter with Programmable Output Voltage (プログラマブル出力電圧の DC - DC コンバータ) ~ これら DC - DC コンバータの出力電圧は、トリムピンからグラウンドに接続する抵抗によって設定される。抵抗値が出力電圧を決定する。

- c. Programmable DC-DC Converter with Rtrim connected to VOUT (VOUT に Rtrim を接続するプログラマブル DC - DC コンバータ) ~ これら DC - DC コンバータの出力電圧は、そのトリムピンから Vout 端子に抵抗を接続することによって設定される。抵抗値が出力電圧を決定する。
- d. Discrete Implementation (ディスクリート実装) ~ 出力電圧が 2 本の抵抗によって決定される DC - DC コンバータのクラスを表す。抵抗は Vout 端子とフィードバック・ノード間に一本と、フィードバック・ノードとグランド間に一本である。

図 8-13 DC - DC コンバータのタイプを選択する



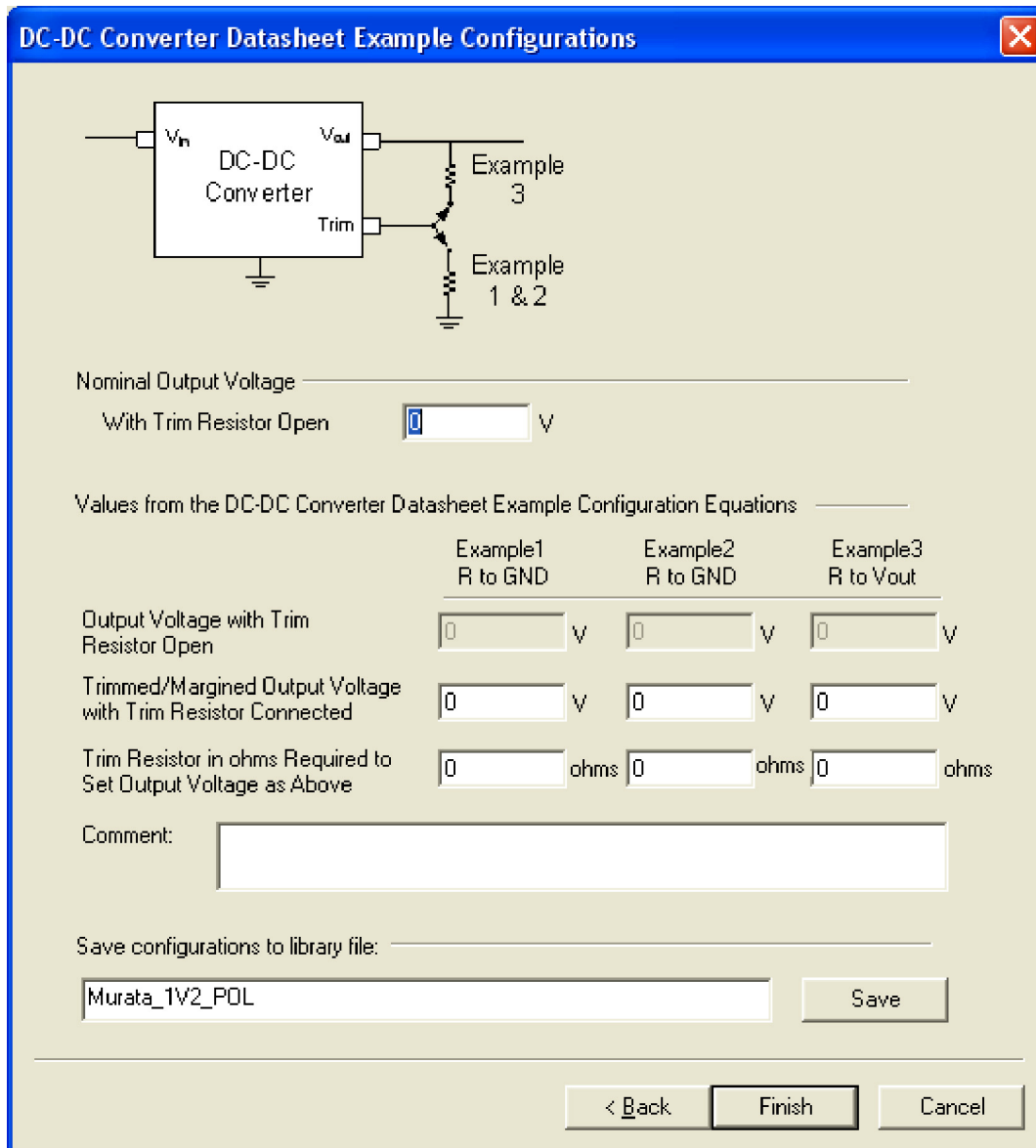
DC - DC コンバータのデータシートを参照して DC - DC コンバータのタイプを選択し、<Next> ボタンをクリックします。

3. このセクションはそれぞれのタイプの DC - DC コンバータのコンフィグレーションについて記述します。

DC-DC Converter with Trim-up & Trim-down(トリム・アップ/ダウン電源のある固定電圧DC - DC コンバータ)

このタイプの DC - DC コンバータは通常モジュールであり、固定電圧を供給するように設計されています。図 8-14 のメッセージボックスがライブラリエントリを作成するために用いられます。

図 8-14 固定電圧 DC - DC コンバータ用のライブラリ・エレメント作成



これらの電源にはトリムピンがあります。このピンは電源を 5 ~ 10% マージンアップする、或いは 5 ~ 10% マージンダウンするために用いられます。

Nominal Output Voltage (公称出力電圧) は、トリムピンがオープンで DC - DC コンバータが通常の動作状態での電圧です。

次に Example 1 R to GND、Example 2 R to GND、Example 3 R to Vout という各表記の下に 2 つのフィールドがあります。Examples 1 と 2 は、公称電圧とは異なるマージン電圧を生成するために用いられる条件です。異なる目標電圧は、違う抵抗値を必要とします。これらの値は DC - DC コンバータのデータシートに、通常は表形式で与えられています。データシートによっては、これらの抵

抗値を計算するための数式を記述しています。目標とする出力電圧の値、および Trim ピンと GND ピンの間に接続されるべき抵抗値を、それぞれ求められるフィールドに入力します。

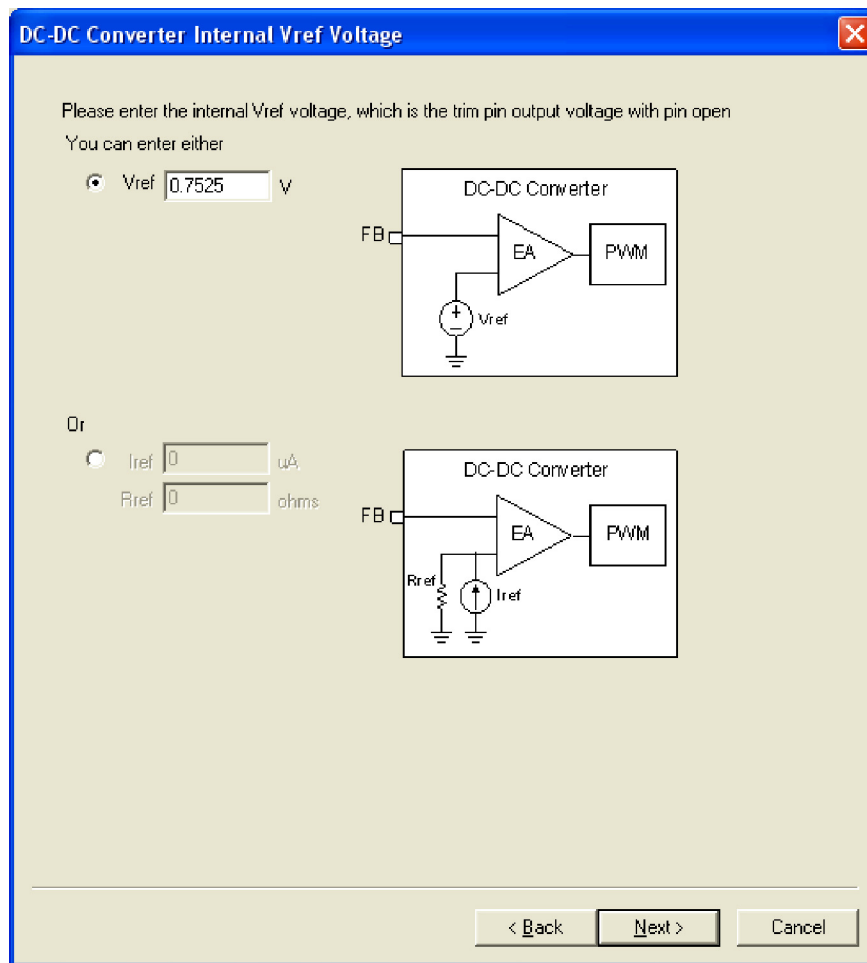
第三のコラムは対応する出力電圧を達成するために必要な、DC-DC のトリムピンと Vout ピン間に接続される抵抗値です。適切なフィールドに抵抗値と電圧値を入力します。これらの値は DC - DC コンバータのデータシートから見つけることができます。

これらの値を入力後に DC - DC コンバータを使用するための記述として必要なコメントを入力し、<Save> をクリック後に <Finish> をクリックします。この例ではソフトウェアは “Murata_1V2_POL” と呼ばれるライブラリ・エレメントを作成します。

Programmable Voltage with Resistor Connected from Trim pin to Gnd (Trim ピンから Gnd に抵抗を接続することによるプログラマブル電圧)

図 8-15 は、プログラマブル電圧 DC - DC コンバータが選択された時に現れるダイアログボックスを示します。

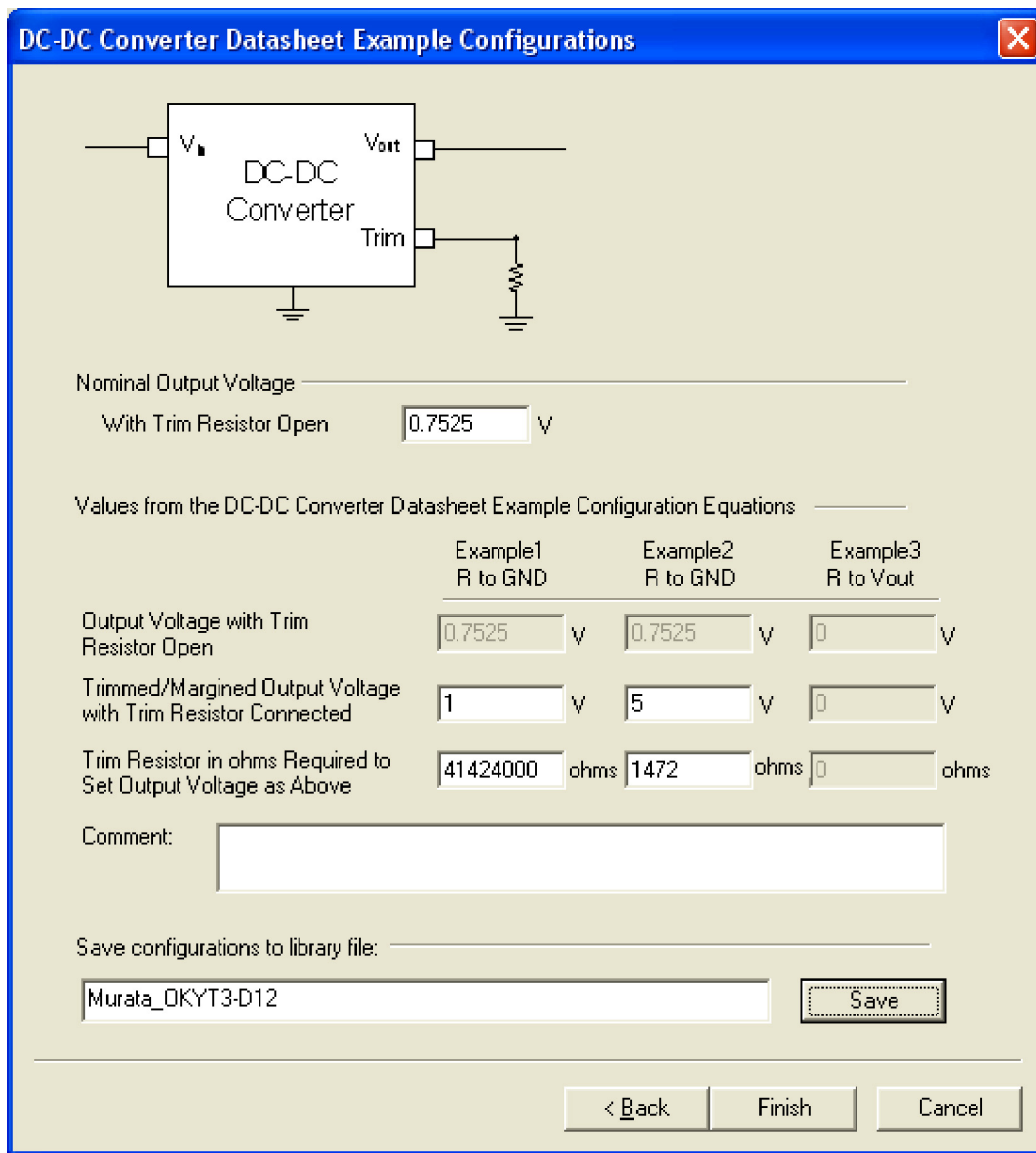
図 8-15 DC - DC コンバータの基準電圧 / 電流



出力電圧を設定するために、すべての DC - DC コンバータが何らかのタイプの基準電圧か基準電流を用います。基準電圧 “Vref” 値はデータシートの仕様セクションにあるか、その出力電圧の計算式で示されます。しばしばデータシートは Vref 値と共に、エラーアンプのアーキテクチャを示します。

場合によっては DC - DC コンバータは電圧基準の代わりに電流基準を用います。電流基準値の決定には並列抵抗を伴います。さらに DC - DC コンバータのデータシートによっては、エラーアンプ・セクションの等価回路を示しています。Vref 値または Iref 値と Rref 値を入力後に <Next> をクリックすると、[図 8-16](#) で示すようなダイアログボックスが表示されます。

図 8-16 プログラマブル電圧の DC - DC コンバータ・ライブラリエントリの構成



これらタイプの DC - DC コンバータの出力電圧は、それらの Trim ピンから Gnd に接続される抵抗によって決定されます。

このダイアログボックスを完了するには、DC - DC コンバータ・データシート内の、トリムピンと GND 間に接続される抵抗値と、期待する出力電圧値の対応表を参照してください。DC-DC データシートによっては、特定のトリム抵抗に対して出力電圧を計算するための数式を提供しています。

最初のフィールドは、トリムピンがオープンの際の DC - DC コンバータ出力電圧です。通常これは表におけるエントリの一つであるか、またはデータシート中の数式を用いることで計算されます。また、2つの Example のコラムは、DC - DC コンバータのデータシート中で、同じ表が計算式を用いることで完成させます。

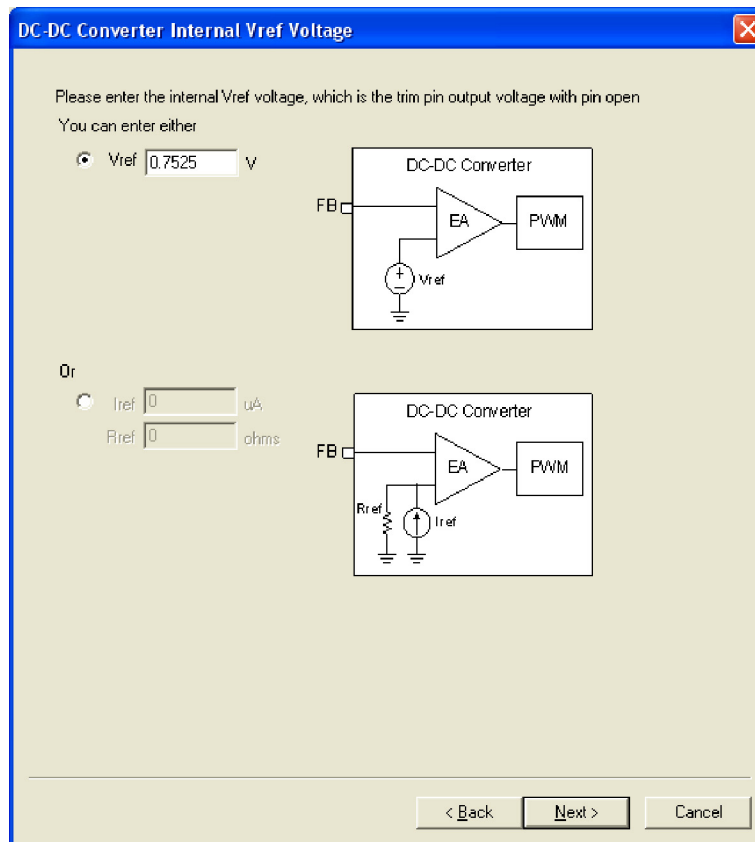
注：選択する電圧値の一つは最大電圧とし、そして第二の選択値は最小電圧とするべきです。これらの電圧値は、回路基板で用いられる実際の出力電圧である必要はありません。

最後に DC - DC コンバータのモデル名（例えば Murata_OKYT3_D12）を入力し、そしてファイルを保存します。

Programmable Voltage with Resistor Connected from Trim Pin to Vout (Trim ピンから Vout に抵抗を接続することによるプログラマブル電圧)

図 8-17 はプログラマブル電圧 DC - DC コンバータが選択された時に表示されるダイアログボックスを示します。

図 8-17 DC - DC コンバータの基準電圧 / 電流

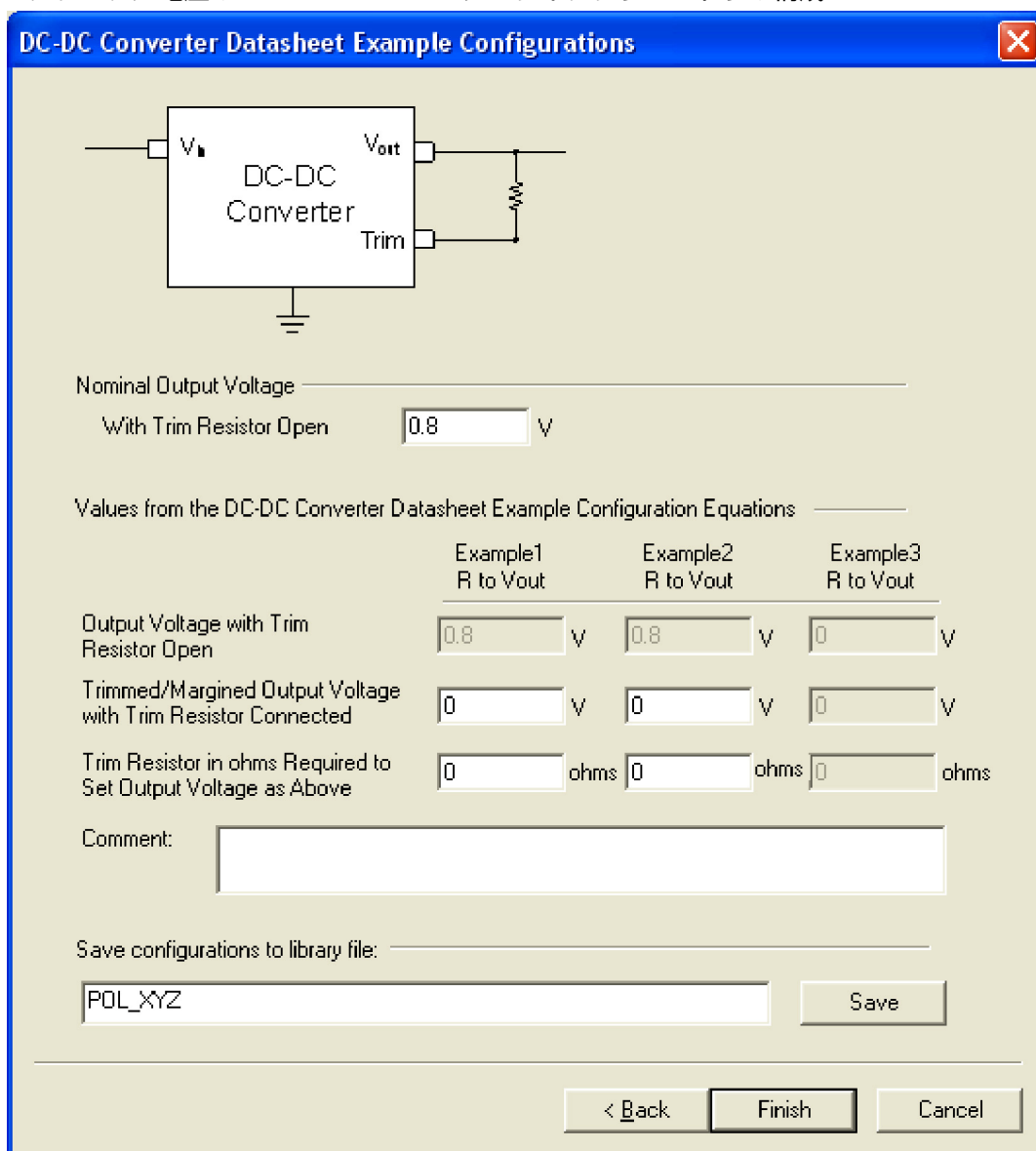


出力電圧を設定するために、すべての DC - DC コンバータが何らかの形の基準電圧か電流を用いています。基準電圧 “Vref” の値はデータシートの仕様セクションにあるか、その出力電圧の計算式で示されます。しばしばデータシートには Vref 値と共に、エラーアンプのアーキテクチャが示されています。

場合によっては DC - DC コンバータは電圧基準の代わりに電流基準を用います。電流基準値の決定には並列抵抗を伴います。さらに DC - DC コンバータのデータシートによっては、エラーアンプ・セク

ションの等価回路を示しています。Vref 値または Iref 値と、Rref 値を入力後に、<Next> をクリックすると図 8-18 で示すようなダイアログボックスが表示されます。

図 8-18 プログラマブル電圧の DC - DC コンバータ・ライブラリエントリの構成



これらのタイプの DC - DC コンバータの出力電圧はそれらの Trim ピンから Gnd に接続された抵抗によって決定されます。このダイアログボックスを完了するには、DC - DC コンバータのデータシート内の、トリムピンと Vout 間に接続される抵抗値と、期待する出力電圧値の対応表を参照してください。場合により、DC-DC データシートには、特定のトリム抵抗に対して出力電圧を計算するための数式が示されています。

最初のフィールドは、トリムピンがオープンの際の DC - DC コンバータ出力電圧です。これは通常は表におけるエントリの 1 つか、またはデータシート中の数式を用いることで計算されます。また 2 つの Example のコラムは、DC - DC コンバータのデータシート中で同じ表か計算式を用いることで完成させます。

注：選択する電圧値の一つは最大電圧で、そして第二の選択値は最小電圧とするべきです。これらの電圧値は、回路基板で用いられる実際の出力電圧である必要はありません。

最後に DC - DC コンバータのモデル名(例えば POL_XYZ)を入力して、そしてファイルを保存します。

Creating a Library Entry for a Discrete DC-DC Converter (ディスクリート DC - DC コンバータのライブラリエントリ作成)

これらのタイプの DC - DC コンバータは一般的であり、スイッチャ IC とスイッチング素子、およびフィルタ素子を用いることで実現されます。出力電圧は 2 本の抵抗、Rfb および Rin、を接続することによって決定され、次の式を用いることで計算されます。

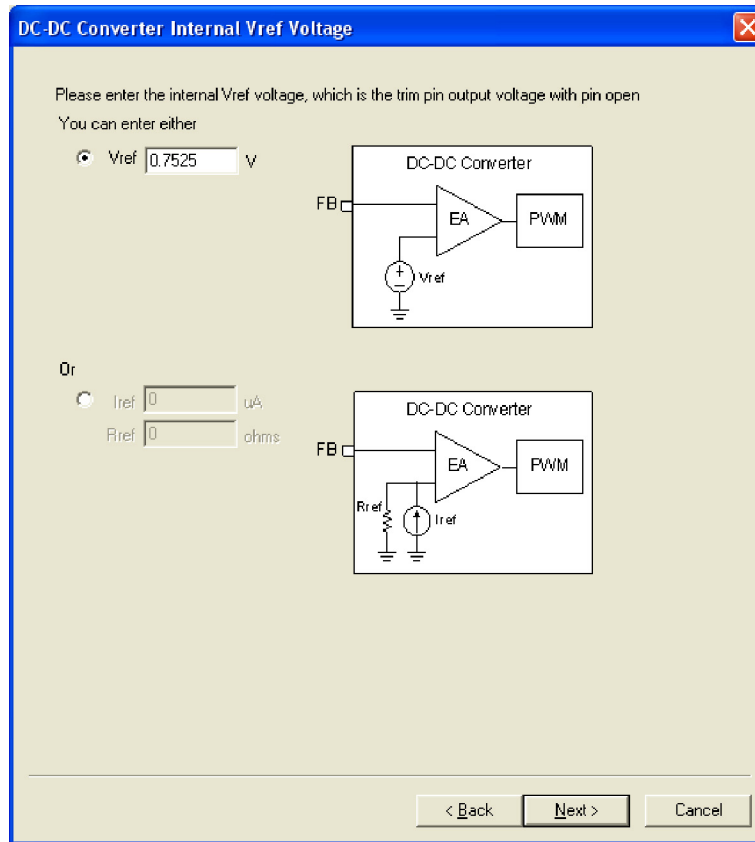
$$V_{out} = R_{fb} \cdot V_{ref} / R_{in}. \text{ (} V_{ref} \text{ is the DC-DC converter reference voltage)}$$

このタイプの DC - DC コンバータが用いられるとき、ライブラリエントリを作成するために図 8-19 で示すダイアログボックスが用いられます。

ダイアログボックスに特定の出力電圧用に計算された Rfb 値と Rin 値を入力し、そしてデータシート内にある Vref を入力して完了します。

注：これらのタイプの DC - DC コンバータを制御するために用いられる抵抗の本数は、ボード上で実際に使用される電圧を用いることによって最小にできます。

図 8-19 ディスクリート DC - DC コンバータ用のライブラリエントリ作成

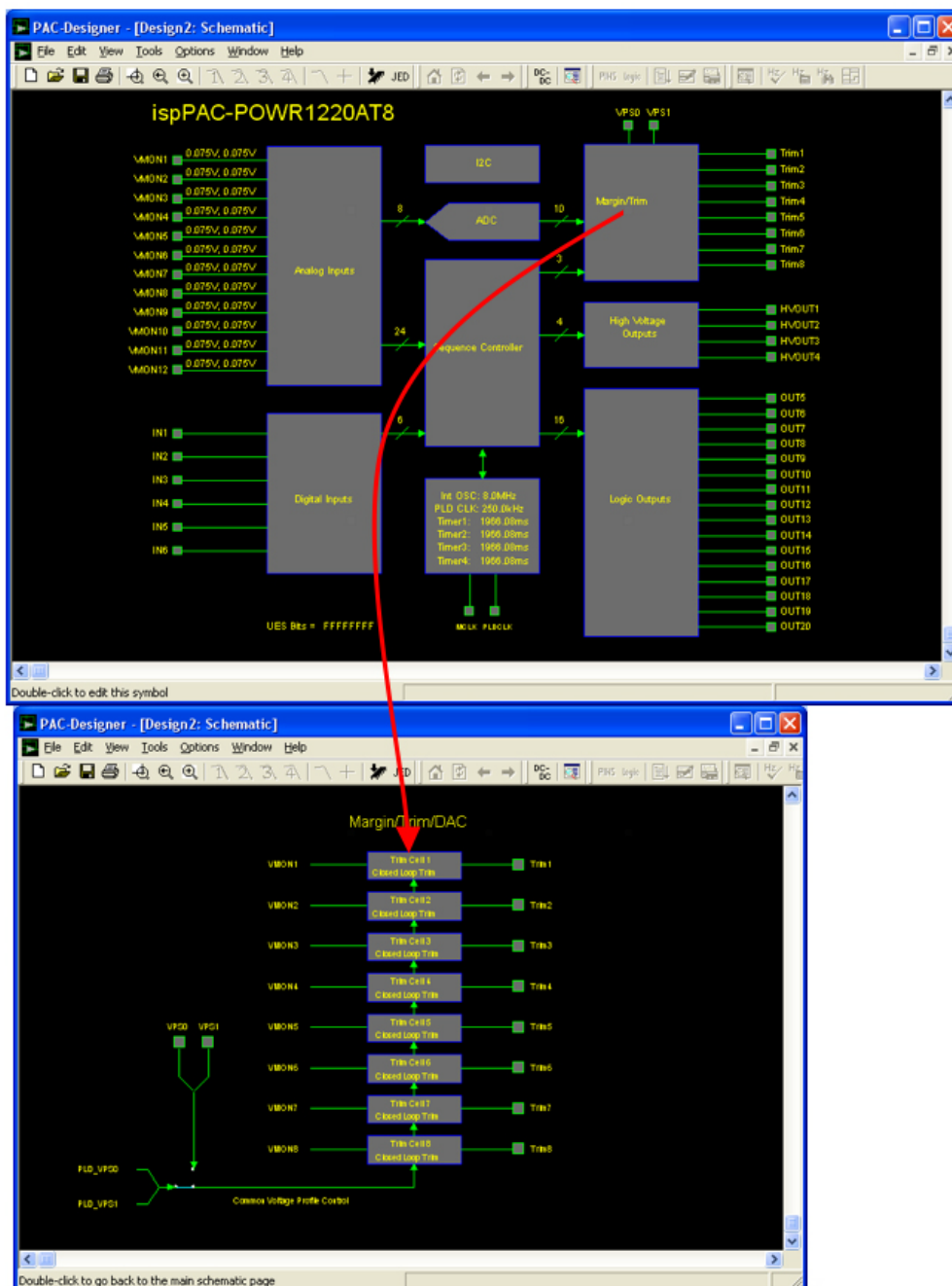


Power 2 You: 電源管理・制御の完全ガイド

4. ライブラリエントリを作成したら、次のステップは Trim ピンとライブラリから DC - DC コンバータを関連づけることです。これは図 8-20 で示される以下の手順を用いて行われます。

- ispPAC-POWR1220AT8 Schematic (回路図) から開始する
- Margin/Trim Block をダブルクリックする
- 設定する TrimCell (例えば TrimCell1) をダブルクリックする
- 図 8-21 で示されるダイアログボックスを、抵抗ネットワークを設計するために用いる

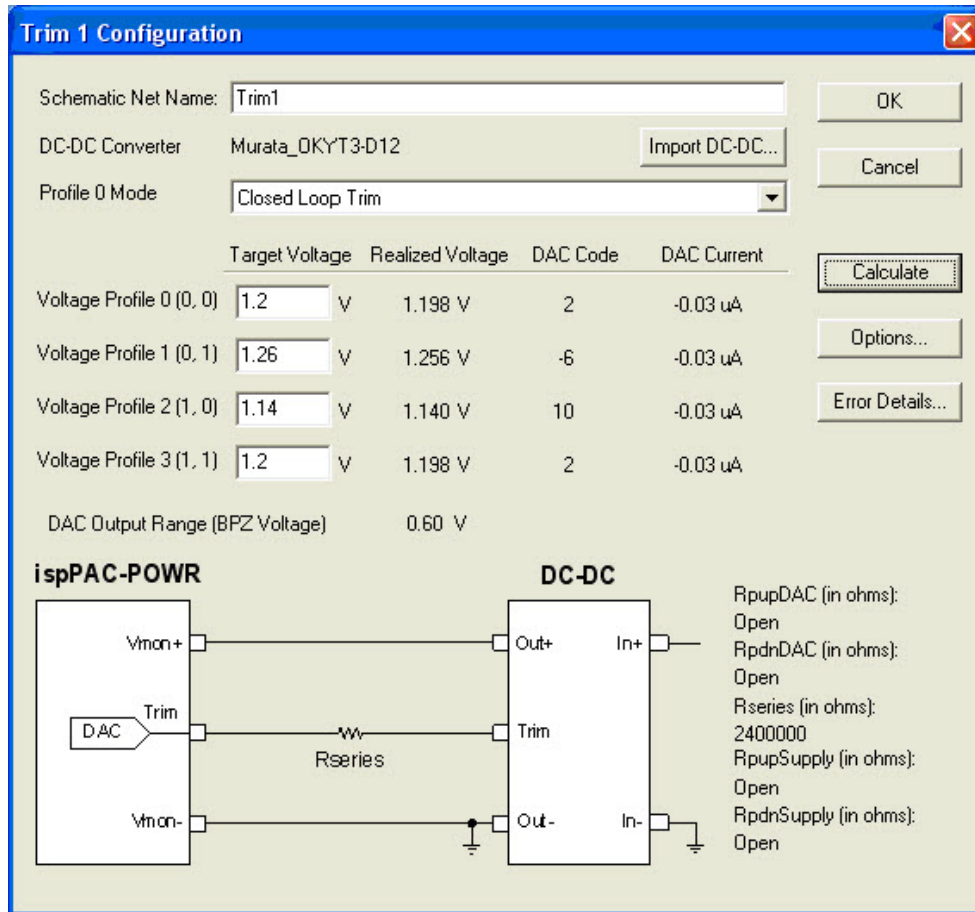
図 8-20 Margin / Trim ダイアログボックスへのアクセス



Trimcell に接続された DC - DC コンバータ用の抵抗ネットワークの設計

図 8-21 下部の接続図スクリーンで TrimCell をダブルクリックすると、以下のダイアログボックスが開きます。

図 8-21 特定の DC - DC コンバータ用の抵抗ネットワークの計算



Schematic Net Name ~ Schematic ウィンドウで設定した実際のピン名です。

DC-DC converter ~ “import DC-DC...” ボタンをクリックすることによって、ライブラリから適切な DC - DC コンバータを選択します。この例では、Murata_OKY3_D12 が選択されています。

Profile 0 mode ~ プルダウンメニューで TrimCell の Profile0 モードを選択します。すなわち閉ループトリムか、外部 I2C インターフェイスを介してマイクロコントローラを用いる Trim か、或いは EECMOS（不揮発メモリ）値による開ループ・トリミング、のいずれかの選択です。

Voltage Profile 0 ~ DC - DC コンバータの公称動作電圧です。

Voltage Profile 1 ~ マージニング・プロファイルの一つ。それは上側マージン値でも、下側マージン値でもかまいません。

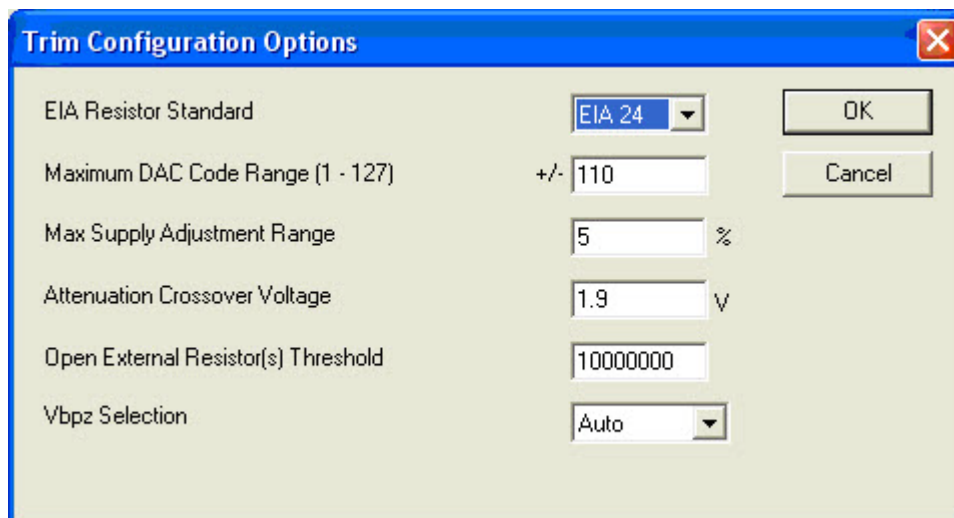
Voltage Profile 2 ~ もう一つのマージニング・プロファイル。同様に、これは下側マージンでも上側マージン電圧値でもかまいません。

Voltage Profile 3 ~ 便宜的に用意している付加的なマージニング・プロファイル。場合によってはマージンテストを追加する際にこれを使用することができます。

必要な電圧値を入れた後に、<calculate>をクリックします。ソフトウェアはTrimCell出力とDC - DCコンバータのトリムピン間に配置される抵抗値を計算します。それぞれのプロファイルでのDAC電流と共に計算されたDAC値が示されています。OKボタンをクリックされると、これらの値はソースファイル内に格納されます。

<Options> ボタンをクリックすると以下のダイアログボックス (図 8-22) が開き、計算された抵抗値を微調整するために使用することができます。

図 8-22 抵抗値の最適化



EIA resistor standard (抵抗値 EIA 規格) ~ 抵抗値の選択を EIA12、EIA24、EIA48、EIA96、EIA192 に限定します。また正確な抵抗値を計算する方法を与えます。本オプションの選択は設計要件に依存します。

Maximum DAC code range (最大 DAC コード範囲) ~ 最大電圧バラツキのために、DAC 値にさらに余裕を追加するために用いられます。これは抵抗値誤差と DC - DC コンバータの誤差に対処するためのものです。

Maximum supply adjustment range (最大電源調整範囲) ~ これは Profile 0 で規定される公称値に対する最大マージン電圧範囲です。設計が 10% のマージニングを必要とする場合、この値は 10% に設定されます。

Attenuation crossover voltage (減衰器クロスオーバー電圧) ~ ADC への最大入力電圧は 2.048V です。この ADC がこの値より高い電圧の測定に用いられる場合、1 : 3 のオンチップ減衰器がオンされます。これによって ADC への最大電圧入力は 6.144V に増加します。このエントリは減衰器が切り替えられるべき電圧の設定です。

Open External Resistor(s) Threshold (外部抵抗値オープン閾値) ~ 抵抗をオープン回路として扱う最大抵抗値です。トリムとマージン・ルーチンは、図 8-7 から図 8-11 で示されるような最大 3 本の抵抗と関連するトポロジーに基づいて計算します。このフィールドは、計算アルゴリズムが図 8-11 に示す回路と等価で、かつ抵抗の本数を最小にするように使用することができます。そのためには最初にデフォルト値を用いて抵抗値を計算します。その後本フィールドを、直列抵抗値よりも若干大きい値に変更したあと、<OK> ボタンを再クリックします。ソフトウェアは自動的に新しい抵抗値と、関連づける DAC 値を再計算します。

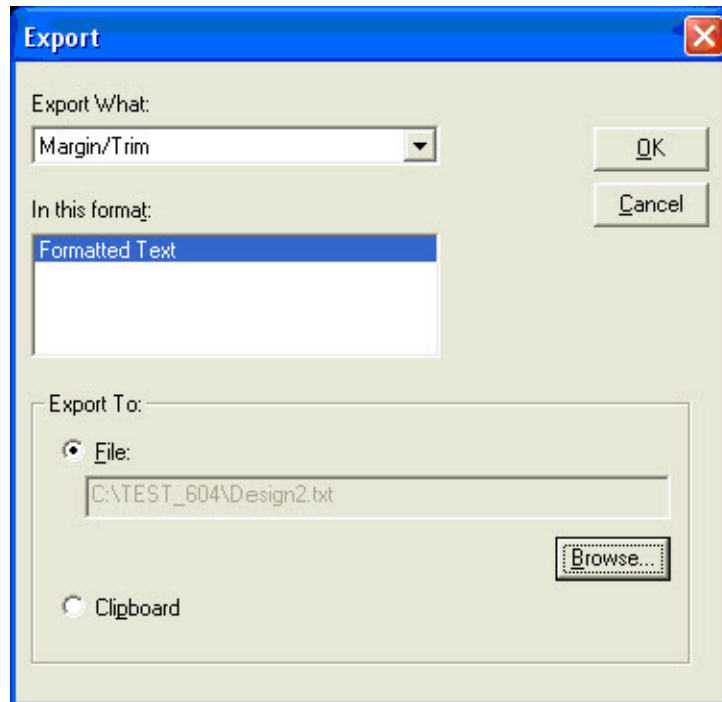
Vbpz Selection (Vbpz の選択) ~ 通常 Auto のままにしておくことが最良です。場合によっては、Vbpz (バイポーラゼロ電圧) 値を他の電圧 (0.6V、0.8V、1V または 1.25V) のどれかに強制することによって、抵抗の本数を減らすことができます。

すべての TrimCell 用の抵抗値を計算した後、ソフトウェアは “XXX.PAC” ファイルにすべての値を自動的に保存します。

すべての TrimCell に接続される全抵抗に関するレポートファイルを生成するためには、以下の手順に従います。

Files > Export をクリックすると、以下のダイアログボックス (図 8-23) が開きます。

図 8-23 マージンとトリム用のレポート生成



“Export What” 下の Browse ボタンを用いることで Margin / Trim を選択すべきファイルとし、そして OK をクリックします。テキスト形式の出力ファイルは以下のようになります。

```
MarginTrimCell
Idx0
TrimCellNumber1
TargetVoutSP11.200
TargetVoutSP21.260
TargetVoutSP31.140
TargetVoutSP41.200
RealizedVoutSP11.198
RealizedVoutSP21.256
RealizedVoutSP31.140
RealizedVoutSP41.198
VdacCodeSP12.000
VdacCodeSP2-6.000
VdacCodeSP310.000
VdacCodeSP42.000
```

Vref0.752
Rbuffer2561546.920
Rfb14467007.127
Rin1000000000.000
Invert1
Isprogrammable1
IsModule1
IsRtGnd1
Rseries2400000.000
Rpdn110000000.000
Rpup210000000.000
Rpdn210000000.000
Rpup110000000.000
BPZVoltage0.600
BrickNameMurata_OKYT3-D12.xml
BrickFilename
TargetVdacCodesMax110
EIAStdIdx1
LooseEIAStdIdx1
AttenuationCrossoverVoltage1.900
MaxDeltaVoutPercent5.000000
RpdnOption0
Ropen10000000.0000000000000000
BPZSel0.0000000000001056
ResistorComputationAlgorithm1
MarginTrimCell_end

パワーマネージャ II の設計ツール

9.1 PAC-Designer、電源管理設計ツール [註¹³]

パワーマネージャ II ファミリのようなプログラマブル・デバイスが、システムエンジニアに人気がある主要な理由の一つは、ハードウェア・ソリューションの柔軟性です。一個のシリコンデバイスが、さまざまなアプリケーションで役立ち、或いは複数のボード電源管理機能を集約することができます。一方で“プログラマブル”という語は通常、ソフトウェア・エンジニアが組み込みマイクロコントローラのために C 言語やアセンブリ言語を記述するイメージを呼び起こします。パワーマネージャ II のようなプログラマブル・デバイスは、アナログ、システムまたはデジタル・エレクトロニクス各学科の専門知識を保有するハードウェア技術者が理解し易い、EDA (Electronic Design Automation) ツールの一種を用いることで設計されます。ソフトウェア・エンジニアがファームウェアを記述するよりむしろ、ハードウェア設計者は、接続図や波形のエディタのようなハードウェアデザイン言語 (HDL) か、グラフィカルなツールを用いることでデザインをモデル化するでしょう。

パワーマネージャ II デバイスの設計をする際に、電源回路設計のバックグラウンドをもっている技術者にとってできる限り容易になるように、ラティスは PAC-Designer と呼ばれる無償の EDA ツールを提供します。PAC-Designer ツールでは、回路設計はグラフィカルに入力され、そしてベリファイされ、しかもこれらが全てソフトウェア環境内で行われます。以下の例では PAC-Designer 回路図ウィンドウの GUI から、ispPAC-POWR1014A デバイスの構成可能な全要素へのアクセスができます。すべてのアナログ入力と出力ピンは表示されていますが、電源やグラウンド、およびシリアル・デジタルインターフェイスなどのユーザが構成できないピンは、分かり易さのために省略されています。メニューコマンドと同様に、マウス動作で回路図ウィンドウ内のどの要素にもアクセスすることができます。完了したら構成情報を保存し、シミュレーションし、そしてデバイスにダウンロードすることができます。

ソフトウェア設計ツールがあるプログラマブル・ハードウェアは、より柔軟なソリューションをエンジニアリング部門に提供し、そして部品調達部門には経費削減策を与えます。個別素子によるソリューション数では認定や在庫調整・管理が大変煩雑になるため、ベンダ数を削減したいと望む部品技術者と調達担当者にとって、プログラマビリティは経済的な見地からも魅力的です。電子部品の好ましい在庫について調達部門が多大な影響を及ぼすのは、これらの経済

13. 本書では PAC-Designer 5.3 かそれ以降のバージョンを参照しています

的利益のためです。本章では、本書のこれまでの章で記述された電源管理や制御シナリオを解決するために、PAC-Designer ソフトウェアと開発キットがどのように適用されるかを記述します。

ソフトウェアベースのプログラマブル・ハードウェア設計の恩恵

電源管理と制御ソリューションは、伝統的に個別のアナログとミクストシグナル IC で実装されてきました。広く採用されているどのような電圧監視用や WDT 用 IC でも、ベンダカタログをウェブサイトで検索すると、さまざまな精度や動作条件と容量を満たすために、何百ものバリエーションがあることに気がつきます。さらに求められる機能の集積度に依存して、より多くの製品バリエーションが用意されています。パワーマネージャ II テクノロジは、そのプログラマビリティによって可能となる多才さがゆえに破壊的と言えます。1970 年代の TTL 個別ロジック素子 IC が現代の CPLD や FPGA によってほぼ完全に集積されたと同様に、パワーマネージャ II は複数の個別アナログ IC を集積し、ほとんどの電源管理コンフィギュレーションにわたって適用することができるくらいに柔軟です。

ソフトウェアベースのプログラマブル・ハードウェア設計の恩恵には以下が含まれます。

- 電源管理部品の点数を削減することによるコストの低減。複数の電源管理機能を単一の電源管理デバイスに集積・集約することが可能です。また集積されたソリューションは、ボード特有の検出や制御インターフェイス要件を満たすためにカスタマイズすることができます。
- ボード改版リスクの減少と、より短い市場投入までの時間。新しい設計やボード要件の変更は、パワーマネージャ II へのプログラムを更新することで対応できます。HDL ベースの設計は変わり続ける機能的要件を満たすことにおいて柔軟です。
- (ボード試作の) 初回に成功する (“first-time/pass success”) 可能性が増し、市場投入までの時間を短縮。ソフトウェア・プログラムで機能と性能をモデル化することができ、そしてモデルは論理シミュレーション技法を用いることで、事前に検証することが可能です。

マイクロコントローラによるファームウェアベースの実装に対するパワーマネージャ II の利点

柔軟な電源管理ソリューションへの代替アプローチの一つは、ファームウェアをもつマイクロコントローラです。しかしこのアプローチの主要ないくつかの欠点として、以下があげられます。

- 電源故障への遅い応答による信頼性の低下。電源監視は 5msec ~ 10msec に一度のハードウェア的に生成される割り込みにより制御されます。これが電源管理機能の応答時間を決定しますが、これはフラッシュメモリ破壊などの故障を防ぐことができない程度に遅い応答です。
- 電源管理アルゴリズムの限られた故障カバレッジにより、市場投入までの時間が増大。HDL ベース設計の主要な利点は、コンピュータ上で十分シミュレーションができるということです。これに対してファームウェアベース設計では、回路基板で生成することができる故障のタイプは限定され、そしてその限られた故障カバレッジしかない回路基板でテストするしかないということです。というのは回路基板上の他の部品による二次故障の可能性が制約条件となり、電源管理アルゴリズムの検証が妨げられるためです。
- その結果、ソフトウェアへのいかなる修正でも、コストと時間を要する大規模なボードレベルのリグレーションテストを必要とします。結果的にファームウェアの変更は回避されることとなり、柔軟性を減少させます。

9.2 PAC-Designer の概要

表 9-1 は PAC-Designer ソフトウェアの主要機能の概要を示します。

表 9-1 設計ツール概要

設計入力ツール	目的
パワーマネージャ II 回路図 (Schematic)	以下のパワーマネージャ II 各機能ブロックの構成にアクセスする。 <ul style="list-style-type: none"> デジタル I/O バッファ アナログ入力コンパレータ 高電圧出力ドライバ タイマ/オシレータ設定 マージンとトリムセル設定 シーケンス制御と監視ロジック
LogiBuilder	パワーマネージャ II の組み込みデジタル機能を設計するために用いられる。論理は、上位レベルのステートマシ的な言語か伝統的なブール論理式で記述される、一連のイベントとして捉えることができる。 LogiBuilder にはシーケンス・コントローラ (Sequence Controller) ウィンドウがあり、制御シーケンスを生成して、ロジック機能を定義できる。またスーパーバイザ論理式 (Supervisory Equation) ウィンドウでは、シーケンス・コントローラ論理には関係なく組合せ論理やレジスタ論理が入力できる。
DC-DC ライブラリビルダ (Library Builder)	ライブラリビルダは、DC-DC コンバータと電圧レギュレータの電圧調整特性を定義するために用いられる。トリミングとマージニング・ソフトウェアの詳細については、第 7 章「マージニングとトリミング (Margining and Trimming)」に GUI が示されている。
シミュレーション・ツール	目的
HDL 出力 (Export)	PAC-Designer に含まれる HDL ライタは、パワーマネージャ II 設計のデジタル論理、およびタイマ/カウンタのモデルを業界標準の Verilog HDL か VHDL としてエクスポートする。Aldec 社の Active-HDL 論理シミュレータなどのような、一般に使用されている、どのようなサードパーティ・シミュレータでも HDL モデルを実行することができる。
波形エディタ (Waveform Editor)	波形エディタはロジック・スティミュラスのために波形を作成し、そして編集するために用いられるグラフィカル・アプリケーション。各波形にユーザ定義の名称を与えて、そしてレベル遷移を示すために編集する。スティミュラスは LogiBuilder 生成のモデルに適用され、波形結果はあたかも伝統的なロジックアナライザのように表示される。
ラティスの論理シミュレータ	PAC-Designer は、LogiBuilder ツールによって作成されたロジックについて確認するために、論理シミュレータを含んでいる。

設計仕様からのパワーマネージャ II デバイスの選択

電源管理と制御設計における第一歩は、どの機能をパワーマネージャ II デバイスに集約することができるかを決定することです。ここに、いくつかの主要な考察があります。(これら機能の簡単な説明については、[図 9-1 「PAC-Designer ソフトウェア ~ ispPAC-POWR1014A」](#) を参照してください。)

Power 2 You: 電源管理・制御の完全ガイド

- 一次側電源管理
 - * 活線挿抜、冗長化給電管理、外部給電
 - * 入力電圧 ~ 正 / 負、絶縁の必要性
- 二次側電源管理機能
 - * メイン二次電源
 - * シーケンス制御され、監視される DC/DC コンバータの数
 - * マージン / トリムされる DC/DC コンバータの数
 - * マイクロプロセッサや DSP、ASIC、或いは FPGA のためにボード上で分配されるリセット信号の数
 - * システムデバイス用に電源管理機能と集約する必要がある、外付け WDT の数

ボードの電源管理機能が確定したら、可能性のあるパワーマネージャ II を選択するために表 9-2 を用いてください。

表 9-2 パワーマネージャ II 対電源管理機能

回路基板上の供給電源管理	ProcessorPM-POWR605	ispPAC-POWR607	ispPAC-POWR1014	ispPAC-POWR1014 A	ispPAC-POWR1220A T8
ボード入力（一次）電源					
活線挿抜					
-48V 活線挿抜コントローラ（ペイロード絶縁）		X			
+12/24V 活線挿抜コントローラ		X	X	X	X
外部システムへの給電					
-48V 給電		X			
+12 / 24V 給電		X	X	X	X
冗長給電セレクション					
MOSFET 使用 -48V 冗長化制御（ペイロード絶縁）		X			
MOSFET 使用 +12 / 24V 冗長化制御		X	X	X	X
ペイロード（二次）電源管理					
電源シーケンス制御		X	X	X	X
電圧監視	X	X	X	X	X
リセット生成	X	X	X	X	X
ウォッチドッグ・タイマ	X	X	X	X	X
ADC を使用した電圧測定				X	X
電源電圧トリミング					X
電源電圧マージニング					X

次のステップは表 9-3 の機能と、二次側供給電源の数を元にして、最も小さいパワーマネージャII デバイスを特定することです。

表 9-3 電源系統の数に基づいた最も小さいパワーマネージャII デバイスの選択

電源系統数	< 3	3 ~ 5	5 ~ 8	> 8	コメント
リセット生成		ProcessorPM-POWR605	ispPAC-POWR1014	ispPAC-POWR1220AT8	
電圧監視		ProcessorPM-POWR605	ispPAC-POWR1014	ispPAC-POWR1220AT8	
ウォッチドッグ・タイマ		ProcessorPM-POWR605	ispPAC-POWR1014	ispPAC-POWR1220AT8	
3 グループ未満のシーケンス制御		ProcessorPM-POWR605	ispPAC-POWR1014	ispPAC-POWR1220AT8	
個別電源のシーケンス制御	ProcessorPM-POWR605	ispPAC-POWR607	ispPAC-POWR1220AT8	ispPAC-POWR1220AT8	
活線挿抜コントローラ、-48V	ispPAC-POWR607	ispPAC-POWR607	ispPAC-POWR607	ispPAC-POWR607	-48v 電源に使用
活線挿抜コントローラ、+5V、12V、又は 24V	ispPAC-POWR607	ispPAC-POWR1014	ispPAC-POWR1220AT8	ispPAC-POWR1220AT8	
I2C, ADC 電圧測定	ispPAC-POWR1014A	ispPAC-POWR1014A	ispPAC-POWR1220AT8	ispPAC-POWR1220AT8	
電源電圧トリミング、マージニング	ispPAC-POWR6AT6	ispPAC-POWR6AT6	ispPAC-POWR1220AT8	ispPAC-POWR1220AT8	

パワーマネージャII の設計例

このセクションで考察する例は PCI Express アドインカード・アプリケーションです。この例は、電源管理設計をパワーマネージャII デバイスに集約するための手順を記述するために用いられます。第一歩は PCI Express アドインカードのための電源管理設計仕様を収集することです。表 9-4 に PCI Express アドインカードで実装される電源管理機能をまとめます。

表 9-4 PCI Express ボード電源管理仕様

バックプレーン電圧	12V
活線挿抜機能は必要?	Yes
冗長電源使用?	No
外部給電機能は必要?	No
二次側電源数	5
二次側電源シーケンス制御必要?	Yes
リセット生成必要?	Yes
生成リセット信号数	2
ウォッチドッグ・タイマ必要?	Yes
電圧・電流監視は必要?	Yes

表 9-2 では、これらの機能は ispPAC-POWR1014A や ispPAC-POWR1220AT8 デバイスに集約することができることを示しています。しかし表 9-3 を用いると、これらの全ての機能を集約することができる最小のパワーマネージャ II デバイスは ispPAC-POWR1014A です。次のステップは、これまでの章で記述した情報を用いることによって、電源管理アルゴリズムを設計し始めることです。

設計フロー

このセクションでは、電源管理アルゴリズムを設計するために PAC-Designer ソフトウェアを用いた、典型的なユーザシナリオを記述します。

PAC-Designer ソフトウェアで設計する典型的なデザインフロー

1. プロジェクトの作成、またはオープン
2. アナログ入力信号の構成
3. デジタル入力の構成
4. デジタル出力ピンの構成
5. 高電圧出力 (HVOUT) ピン (MOSFET ドライバ出力) の構成
6. タイマ値の構成
7. I²C アドレスの構成
8. LogiBuilder ツールを用いた電源管理アルゴリズムの実装
9. 設計をシミュレーションして、ステップ 2 ~ 6 を繰り返し
10. 設計をパワーマネージャ II デバイスにダウンロードして、設計を検証

9.3 設計例のリソース

特定用途向けソリューション設計の最も迅速な方法は、しばしば既存の例を修正することです。ラティスは 3 タイプの設計例を提供しています。

- AC-Designer ソフトウェアと共にインストール済みのプロジェクト例 ~ PAC-Designer からプロジェクト例を開くには、File > Design Example を選択します。簡単な説明がある対話リスト (dialog listing) がそれぞれの例に用意されており、その詳細は以下に記述があります。
<PAC Designer root>\Examples\Design Examples.ppt
- ラティス・ウェブサイトのパワーマネージャII 参照デザイン (RD) ~ 各ラティス参照デザインには、その機能と指定できるオプションについての簡単な概要を説明しているウェブページがあります。その特定のデザインに関する全ての詳細な情報は、そのドキュメントに含まれています。実際のソースコードと共に、ドキュメントをウェブページからダウンロードすることができます。以下はラティス参照デザインへのリンクです。
<http://www.latticesemi.com/products/intellectualproperty/aboutreferencedesigns.cfm>
- パワーマネージャII 開発キットに含まれるデモデザイン ~ パワーマネージャII 評価ボードには通常、デモデザインが事前書き込まれており、ハードウェアの重要な特色と恩恵をデモするように設計されています。その他のデモとインターフェイス・ユーティリティは、各開発キットのウェブページから入手できます。以下はラティス開発キットへのリンクです。
<http://www.latticesemi.com/products/developmenthardware/developmentkits/index.cfm>

9.4 ispPAC-POWR1014A デバイスを用いた PCI Express アドインカードの電源管理設計

1. 新規デザインの作成 / オープン

本セクションではデザイン事例 ispPAC-POWR1014A-3_PCl_e_HS_Seq_Rd_Sup.PAC を用います。その機能リストは C:/<PAC-Designer root>/Examples ディレクトリにある “Design Examples.PPT” ファイルの 40 ページに記載されています [註¹⁴]。

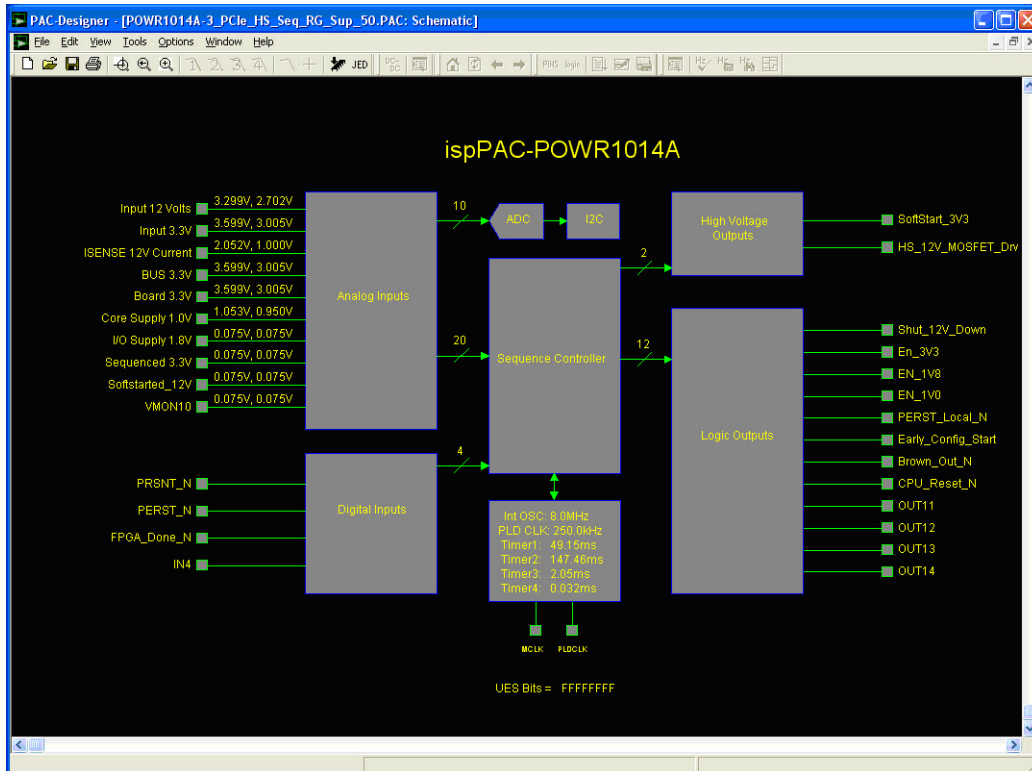
実装の回路図は同 41 ページに示されています。また 42 ページには本設計に実装されている 12V 活線挿抜、シーケンス制御、監視、およびリセット生成のアルゴリズムを記述しています。次のステップは PAC-Designer ソフトウェアに設計を取り込むことです。

PAC-Designer ソフトウェアは設計の完全なソースコードを提供しています。PAC-Designer ソフトウェアを起動します。File > Design Examples をクリックし、そして上記デザイン例のファイルを選択して、次に <Open File> ボタンをクリックします。

ソフトウェアは  9-1 で示すようなスクリーンを開きます。

14. C:/<PAC-Designer root> は PAC-Designer のインストール・ディレクトリ

図 9-1 PAC-Designer ソフトウェア ～ ispPAC-POWR1014A



2. アナログ入力信号の構成

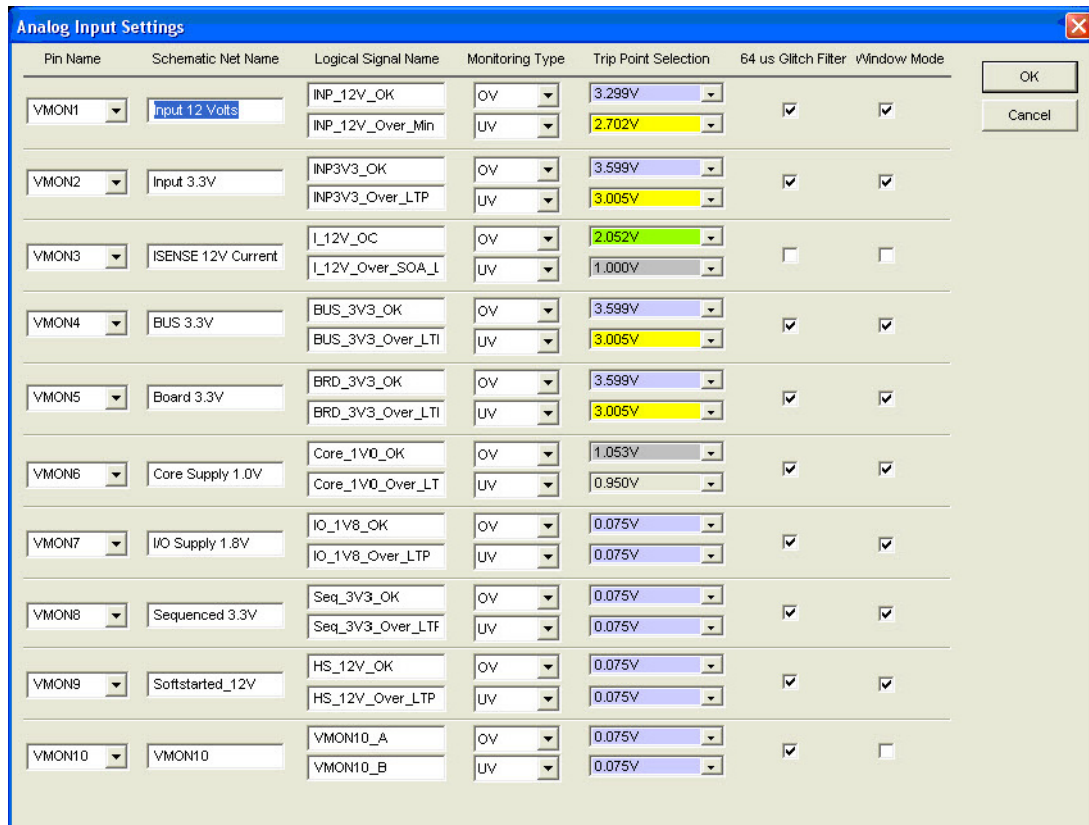
次のステップはモニタする電圧閾値を構成することです。それには Schematic ウィンドウ最上部の “Analog Inputs” ブロックをクリックします。ソフトウェアはそれぞれの VMON 入力に関連するウィンドウロジックと共に、2 個のプログラマブル閾値コンパレータを表示します。ispPAC-POWR1014A デバイスには、合計 20 個のプログラマブル閾値コンパレータがあります。

プログラマブル閾値コンパレータのどれかをダブルクリックして、ダイアログボックスを開きます。このダイアログボックスでは、それぞれのコンパレータのための閾値と同時に、電圧モニタ用コンパレータ出力の名前を表示します。

このダイアログボックスは、活線挿抜セクションと二次側電源管理セクションの両方の、モニタする電流および電圧の閾値を指定するために用いられます。これにより回路基板上のどこの故障でもその検出を可能にします。トリップポイント選択のプルダウンメニューを用いることによって、故障閾値レベルを変更することができます。また各 VMON 入力において、ウィンドウ・モニタモードの指定やグリッチフィルタをイネーブルすることができます。

またいずれかの VMON 入力のピン配置を変更するために、このダイアログボックスの “Pin Name” プルダウンメニューを用いることができます。次に <OK> ボタンをクリックし、そして回路図の外のどこかをダブルクリックして、Schematic ウィンドウへ戻ります。

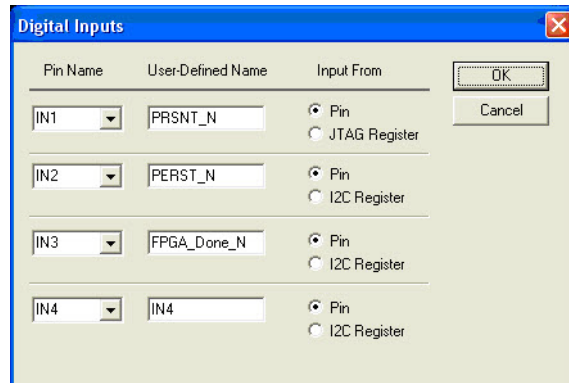
図 9-2 ispPAC-POWR1014A デバイスの電圧モニタ入力を構成



3. デジタル入力の構成

デジタル入力を構成するには、[図 9-1](#) で示す Schematic ウィンドウの “Digital Inputs” をクリックします。ソフトウェアは入力バッファがある入力信号のスクリーンを開きます。入力バッファのいずれかをクリックし、[図 9-3](#) で示すダイアログボックスを開きます。

図 9-3 デジタル入力の構成



デジタル入力ピンの名称を入力し、そしてまた信号ソース（I²C / JTAG / デバイスピン）を特定した後、OK をクリックします。

このセクションはオンボードの FPGA_Done_N を用いる Low アクティブな信号と共に、PRST_N や PERST_N のようなバックプレーンの Low アクティブな信号とパワーマネージャ II がインターフェイスすることについて規定します。

また “Pin Name” プルダウンメニューを用いることで、入力ピンいずれかのピン配置を変更するためにこのダイアログボックスを用いることができます。

入力ピン接続回路図のどこかブランクなところをダブルクリックして Schematic ウィンドウに戻ります。

4. デジタル出力ピンの構成

図 9-1 の Schematic ウィンドウから “Digital Output” をダブルクリックして、複数の出力バッファがある次のスクリーンへ移動します。出力バッファのいずれかをダブルクリックして、図 9-4 で示すダイアログボックスを開きます。

図 9-4 出力ピンの構成ダイアログボックス

Pin Name	User-Defined Name	Digital Control From
OUT3	Shut_12V_Down	<input checked="" type="radio"/> PLD <input type="radio"/> I2C Register
OUT4	En_3V3	<input checked="" type="radio"/> PLD <input type="radio"/> I2C Register
OUT5	EN_1V8	<input checked="" type="radio"/> PLD <input type="radio"/> I2C Register
OUT6	EN_1V0	<input checked="" type="radio"/> PLD <input type="radio"/> I2C Register
OUT7	PERST_Local_N	<input checked="" type="radio"/> PLD <input type="radio"/> I2C Register
OUT8	Early_Config_Start	<input checked="" type="radio"/> PLD <input type="radio"/> I2C Register
OUT9	Brown_Out_N	<input checked="" type="radio"/> PLD <input type="radio"/> I2C Register
OUT10	CPU_Reset_N	<input checked="" type="radio"/> PLD <input type="radio"/> I2C Register
OUT11	OUT11	<input checked="" type="radio"/> PLD <input type="radio"/> I2C Register
OUT12	OUT12	<input checked="" type="radio"/> PLD <input type="radio"/> I2C Register
OUT13	OUT13	<input checked="" type="radio"/> PLD <input type="radio"/> I2C Register
OUT14	OUT14	<input checked="" type="radio"/> PLD <input type="radio"/> I2C Register

このダイアログボックスは、アルゴリズムで用いられる出力ピン名を構成するために用いられます。ピンが I²C 出力ポートのエキスパンダとして用いられる場合、その出力のための適切なラジオボタンをクリックします。

このセクションは、ボード上の PERST local や brown_out_N などの制御信号をシーケンス制御するために、DC - DC コンバータ信号をドライブする信号を特定します。

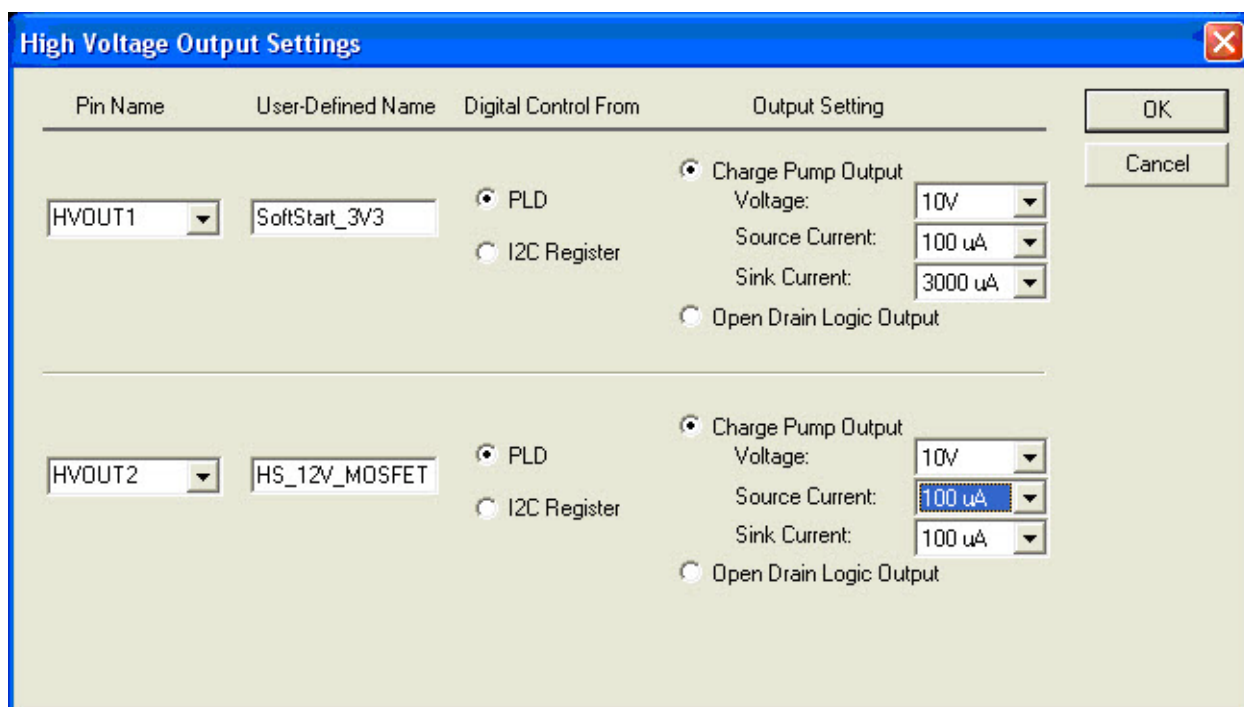
また “Pin Name” プルダウンメニューを用いることで、OUT ピンのいずれかのピン配置を変更するためにこのダイアログボックスを用いることができます。

出力バッファのスクリーンへ移動して戻るために OK ボタンをクリックします。そのスクリーンのどこかをクリックしてください。

5. HVOUT ピンの構成

これらのピンは、3.3V ソフトスタート MOSFET と同様に、12V 活線挿抜制御 MOSFET をドライブするために用いられます。これらの信号を構成するには、最初に Schematic ウィンドウの “High Voltage Outputs” ブロックをクリックします。これは中間的ダイアログボックスを開きます。ボックスのいずれかをクリックして、[図 9-5](#) で示すダイアログボックスを開きます。

図 9-5 MOSFET 構成のダイアログボックス



このダイアログボックスでは、MOSFET オン / オフ・ランプレートと共に、MOSFET ドライブ電圧の設定ができます。

3.3V をオンする MOSFET と共に、12V MOSFET 用の外付けチャージポンプを制御するために、設計で用いられる出力信号の名称を入力します。

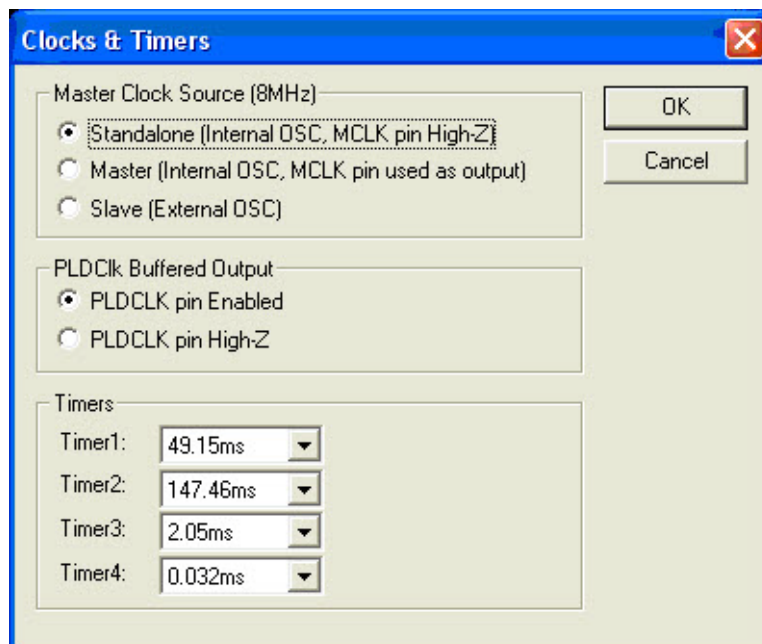
OK をクリックし、そして既に記述されたと同じ方法を用いて Schematic ウィンドウへ移動します。

6. タイマ値の構成

このデザインでは外付けチャージポンプや、リセット出力のパルスストレッチなどに複数のハードウェアタイマを用います。

タイマを構成するために Schematic ウィンドウで “Timer Control” ボックスの上でダブルクリックし、中間的回路図を開きます。タイマブロックをクリックして、[図 9-6](#) で示すようなタイマ構成のダイアログボックスを開きます。

図 9-6 タイマ構成のダイアログボックス



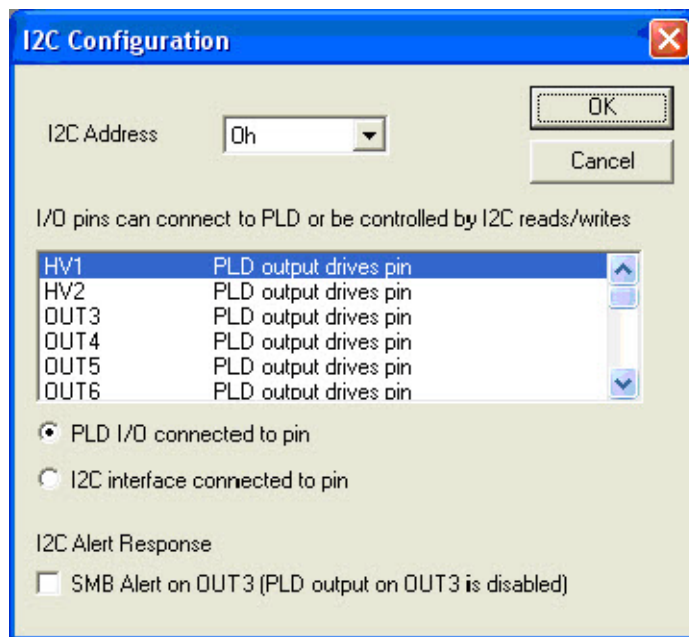
一つ以上のパワーマネージャII デバイスがボード上で用いられるとき、このダイアログボックスでマスタ/スレーブ動作モードの変更が可能です。またこのメニューから各タイマ用の時間遅延を設定することができます。例えば Timer4 は外付けチャージポンプ実装に用いられ、周期が $32\mu\text{sec}$ のオンと $8\mu\text{sec}$ のオフで HVOUT2 ピンをトグルする必要があります。

タイマがいったん構成された後は、Schematic ウィンドウに戻るために <OK> ボタンをクリックします。

7. I²C アドレスの構成

I²C インターフェイスを介した電圧や電流を測定するために ispPAC-POWR1014A を使用することができます。このためには図 9-1 の Schematic ウィンドウで “I²C” ボックスをクリックして、図 9-7 で示すダイアログボックスを開き、ユニークなアドレスを割り当てる必要があります [註¹⁵]。

図 9-7 ispPAC-POWR1014A デバイス用の I²C アドレスの設定



アドレス設定は、図 9-7 で示すダイアログボックス上で、I²C Address のプルダウンバーから選択することで行います。またこのダイアログボックスでは、各入出力ピンの制御も設定することができます。

Schematic ウィンドウへ戻るために OK をクリックします。

8. LogiBuilder ツールを用いた電源管理アルゴリズムの実装

このセクションではファイル “Design Examples.PPT” に記述されている電源管理アルゴリズムを、LogiBuilder ユーティリティを用いて ispPAC-POWR1014A デバイスに作り込みます。

Schematic ウィンドウの “Sequence Controller” ブロック上でダブルクリックして、図 9-8 で示される LogiBuilder スクリーンを開きます。

PCI Express アドインカード・アルゴリズムの理解を容易にするために、次のセクションは LogiBuilder スクリーンについて説明します。

LogiBuilder スクリーンは 3 つのセクションに分割されます。

シーケンス実行セクション ~ アルゴリズムのシーケンス実行部を実装するためには、表 9-5 で記載された命令リストを入力します。

例外 (Exception) 条件セクション ~ 真 (true) になるとシーケンスの実行フローに割り込みをする、(複数の) ブール論理式の記述が可能です。これらの例外条件は、割り込み可能 (interruptible=yes)

15. “0h” 以外の値にする必要があります

と表示されているステップにのみ割り込み可能です。その他 (interruptible = no) の全ステップは例外条件によって影響されません。

Supervisory Logic (監視ロジック) セクション ~ アルゴリズムのシーケンス実行部分によって制御されない、いくつかの出力を直接制御するブール論理式の記述ができます。

例外条件のブール論理式は監視ロジックセクションと共に、シーケンス実行セクションで実行された命令に対して並行して動作します。

シーケンス実行セクションでは、各ステップは 5 つのコラムに分割されます。

- Step (ステップ) ~ これは定義された命令のステップ番号を示します。このステップ番号は異なった位置から特定ステップに分岐 (branch) するために用いられます。
- Sequencer Instruction (シーケンサ命令) ~ そのステップで実行される命令です。各ステップは 1 周期から数周期のクロックを要します。例えば起動タイマ (start timer) 命令は 1 クロック周期かかり、タイマ待ち (wait for timer) 命令は、タイマがタイムアウトするまでそのステップに留まります。
- Outputs (出力) ~ そのステップで出力値が変更されるすべての出力を記載します。出力ステートはそのステップでの最初のクロックパルス後に変更されます。
- Interruptible (割り込み可能) ~ このフラグは実行フローに割り込む例外条件をイネーブルします。割り込み可能フラグが “no” に設定されている場合、例外条件はそのステップでフローを変えることはできません。
- Comment (コメント) ~ このコラムはその命令にコメントを入れるために用いられます。

シーケンサ命令 (Sequencer Instructions)

電源管理アルゴリズムのシーケンス実行部分を実装するために用いられる、6タイプの命令があります。これらの命令は表 9-5 にリストアップされています。

表 9-5 シーケンサ命令と記述

命令タイプ	命令サブタイプ	オペランド	記述
Wait for	Wait for Timer	指定されたタイマ	指定のタイマを起動し、それがタイムアウトするのを待ち、次のシーケンス・ステップにジャンプする。タイマは直前のステップでリセットされる
	Wait for <Boolean>	ブール表記	このステップでブール論理式が真になるのを待つ。ブール式が真であれば、次のシーケンス・ステップにジャンプする
	Wait for <Boolean> with Timer	ブール表記と指定されたタイマ	このステップでタイマがタイムアウトする前に、ブール論理式が真になるのを待つ。ブール式が真になった場合は、次の命令にジャンプする タイマがタイムアウトした場合は、命令で指定されたステップにジャンプする。タイマはステップの直前にリセットされる

表 9-5 シーケンス命令と記述

命令タイプ	命令サブタイプ	オペランド	記述
IF-Then-Else	IF-Then-Else	ブール表記	ブール論理式の真偽をチェックする 真の場合 Then で指定されたステップにジャンプする。この動作の場合にのみ指定出力を操作することができる 偽の場合 Else で指定されたステップにジャンプする。この動作の場合にのみ指定出力を操作することができる
	IF-Then-Else with Timer	ブール表記と指定されたタイマ	ブール論理式の真偽をチェックする 真の場合 Then で指定されたステップにジャンプする。この動作の場合にのみ指定出力を操作することができる 偽の場合で、かつタイマがタイムアウトした場合、'On Timeout Go to Sequencer Step'で指定されたステップにジャンプする 偽の場合で、かつタイマがタイムアウトしていない場合 Else で指定されたステップにジャンプする
Output	None	指定出力	指定された出力のみを指定されたステートにセットする。出力ピンに同じ値を上書きしてもグリッチが出ることはない
Go To	Go to	ステップ数	指定されたステップにジャンプする
	Halt	なし	自身のステップにジャンプして、そこで永遠に待つ
Start / Stop Timer	Start Timer	指定されたタイマ	指定されたタイマを起動する。タイムアウトを待たないで、シーケンスは単に次のステップに移る。タイマは本ステップの直前にリセットされる。本命令は if-then-else with Timer 命令と共に用いられる
	Stop Timer	指定されたタイマ	選択されたタイマを停止する
NOP	None	なし	このステップでは何もしない。通常、タイマ待ち命令やタイマ起動命令と共に用いられる。この命令にジャンプするようなコード記述を可能にする [註 ¹⁶]

例外条件 (Exception Conditions) セクション

それぞれの例外条件は 5 つのコラムに分割されています。

Exception ID (例外 ID) ~ 例外条件の数。コンパイラによって用いられ、エラーが検出された場合にメッセージで通知するライン番号を指します。

Boolean Expression (ブール論理式) ~ 真になると、シーケンス実行が強制的に例外ハンドラで示されるステップにジャンプする、ブール表記の論理式です [註¹⁷]。

Outputs (出力) ~ 出力の値を例外条件での設定に強制します。ブール表記で出力をセット / リセットすることは、常にその出力を制御することになり、シーケンス命令の実行からは独立しています。

Exception Handler (例外ハンドラ) ~ 制御の飛び先を示すシーケンス実行セクションのステップ番号です。シーケンス実行セクションが割り込み可能なステップとして指定されたステップを実行していて、かつ例外条件が真になった場合にのみジャンプします。

Comments (コメント) ~ このセクションはその例外条件に関しての有用なコメントを記述するために用いられます。

16. Wait-for-timer や Start Timer 命令をジャンプの飛び先にはすることはできない

17. 例外ハンドラ飛び先のない指定も可能

スーパバイザ論理式 (Supervisory Equation) セクション

スーパバイザ論理式ウィンドウは、シーケンス実行セクションによって制御されない出力を制御するために用いられます。スーパバイザ論理式は 4 つのコラムに分割されます。

Equation (論理式) ~ スーパバイザ論理式の番号を示しており、コンパイラによってエラーの通知に用いられます。

Supervisory Logic Equation (スーパバイザ論理式) ~ ブール論理条件と、論理式によって制御される関連する出力を規定します。

Macrocell Configuration (マクロセル・コンフィグレーション) ~ その出力のためのスーパバイザ論理式における、代入のタイプを示します。それらは組合せ論理、D-FF、T-FF、非同期リセット、または非同期プリセットのいずれかです。

Comment (コメント) ~ 論理式をより良く理解するために、そのステップに関する追加情報を記述します。

9. PCI Express を例とした LogiBuilder コード

図 9-8 は上に示す命令を用いて実装された PCI Express アドインカードのアルゴリズム実装を示します。

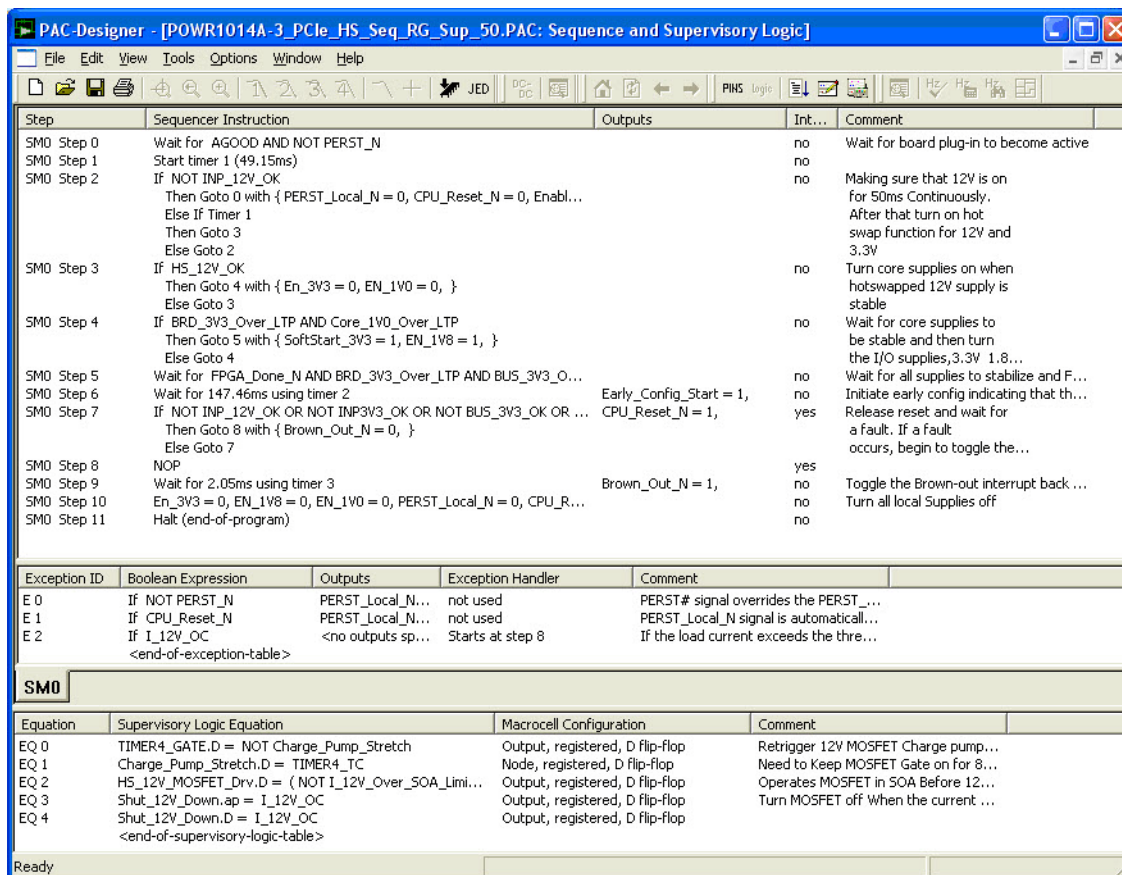
この LogiBuilder スクリーンで実装されているアルゴリズムを以下に示します。

シーケンス実行セクション

1. 活線挿抜動作をディセーブルする
2. 12V と 3.3V 電源が安定するのを待つ
3. 12V 活線挿抜動作をイネーブルし、SOA で MOSFET を動作させる
＜実際の MOSFET 活線挿抜動作の制御は、Supervisory Logic セクションで実行される＞
4. MOSFET からの 12V 出力が許容できる閾値に達するのを待つ
5. 3.3V と 1V 電源をイネーブルし、シーケンス制御を開始する
6. 3.3V と 1V 電源が許容する電圧レベルに到達するのを待つ
7. 1.8V をイネーブルし、コネクタから 3.3V ソフトスタートする
8. すべてのボード電源が許容する電圧レベルに到達し、FPGA をコンフィグレーションできるようになるのを待つ
9. Early Configuration Start (早めのコンフィグレーション開始) 信号をアクティブにする
10. パルスストレッチ後の CPU_Reset 信号を解放する
11. 電圧か電流の故障が発生するまで待つ
12. Brown_Out 信号をアクティブにし、割り込みプロセスが完了するのを待つ
13. CPU_Reset 信号をアクティブにし、1.8V 電源をディセーブルし、そして 3.3V MOSFET をオフする
14. 2msec 待ち、3.3V と 1V 電源をディセーブルする

15.2msec 待ち、12V MOSFET をオフする

図 9-8 電源管理アルゴリズムを実装した LogiBuilder スクリーン



例外条件セクション

1. 過電流状態が検出されたら、ステップ 12 へジャンプする
2. PERST ステート入力を PERST_Local 信号に転送する

スーパバイザ論理式セクション

1. HS-12V_MOSFET ドライブピンをトグル (8 μ sec オフ、32 μ sec オン) することでチャージポンプを動作させ、12V 制御用 N チャネル MOSFET をドライブする
2. 12V 電源が許容レベルに到達するまでは 12V MOSFET 動作を SOA に制限し、そしてその後 MOSFET を完全にオンする
3. 過電流状態が検出された場合は、12V MOSFET をオフする

この設計で組み込まれている以下に示すプログラブル機能は、異なる PCI-Express アドインカードの構成に対して適合させることができます。

- * SOA と過電流レベル
- * MOSFET に適するように設計をカスタマイズ
- * 初期コンタクト・デバウンス期間を 32 μ sec から 2sec の範囲で調整

- * 起動時の短絡タイムアウト期間を 32 μ sec から 2sec の範囲で調整
- * リセットパルスのストレッチ時間を 32 μ sec から 2sec の範囲で調整
- * 各電圧の監視閾値を 0.67V から 5.8V の範囲で調整

PCI Express アドインカードの電源数が 5 系統かそれ以上に増える場合、または他の制御機能が加えられる必要がある場合、ispPAC-POWR1220AT8 デバイスに本アルゴリズムを容易にインポートすることができます。

10. 設計のコンパイル

デザインを入力したら、次のステップはプログラムをコンパイルすることです。プログラムをコンパイルするためには Tools > Compile the LogiBuilder Design をクリックします。

コードは ABEL (Advanced Boolean Expression Language) 言語に変換され、極めて最適化された論理式ネットリストに ABEL 言語をコンパイルします。これらの論理式はフィタプログラムに送られ、これがパワーマネージャ II の CPLD にデザインをフィッティングします。

11. 制御とスーパーバイザ論理のシミュレーション

回路基板の一次供給電源が通電されたとき、パワーマネージャ II はどのように応答し、様々な DC - DC コンバータをシーケンス制御し、そしてリセット信号を分配するのでしょうか？ マイクロコントローラのファームウェアがハングアップし、設計者が定義した WDT をリセットし損なった場合、WDT は期待する方法で割り込みをアサートするのでしょうか？ こうしたタイプのシナリオは、設計者がハードウェア設計をコミットする前にモデル化したいものです。その一助として、広く使用されている HDL シミュレータ用に、PAC-Designer ソフトウェアは設計したデジタルとタイマロジックのモデルを抽出することができます。

また LogiBuilder 生成の最適化された論理式は、PAC-Designer から VHDL または VerilogHDL 言語にエクスポートすることができます。そしてこれらのファイルをシミュレーションに用いることができます。HDL ファイルをエクスポートするには、File > Export を選びます。図 9-9 で示すエクスポート用ダイアログが現れます。Export What リストから VHDL File か Verilog File を選びます。

Aldec 社の Active-HDL などの HDL シミュレータのいずれかを用いることで、図 9-10 で示すようなエクスポートされた Verilog ソースファイルは、完全に検証することができます。

図 9-9 シミュレーション用にデザインを Verilog でエクスポートするダイアログボックス

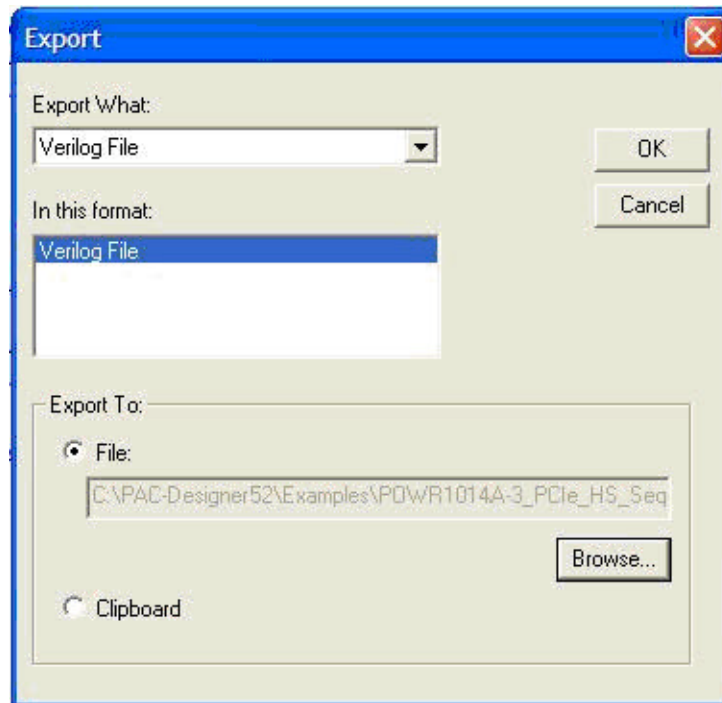


図 9-10 エクスポートされた Verilog ソースファイル

```
Document - WordPad
File Edit View Insert Format Help
Courier New 10 Western B U
//Open-ABEL to Verilog Translator
module POWR1014A_3_PCIe_HS_Seq_RG_Sup(INP_12V_OK,INP3V3_OK,I_12V_OC,I_12V_Over_SOA_Limit,
                                     BUS_3V3_OK,BUS_3V3_Over_LTP,BRD_3V3_OK,
                                     BRD_3V3_Over_LTP,Core_1V0_OK,Core_1V0_Over_LTP,
                                     IO_1V8_OK,IO_1V8_Over_LTP,Seq_3V3_OK,
                                     HS_12V_OK,HS_12V_Over_LTP,AGOOD,PERST_N,
                                     FPGA_Done_N,TIMER1_TC,TIMER2_TC,TIMER3_TC,
                                     TIMER4_TC,SoftStart_3V3,HS_12V_MOSFET_Drv,
                                     Shut_12V_Down,En_3V3,EN_1V8,EN_1V0,
                                     PERST_Local_N,Early_Config_Start,
                                     Brown_Out_N,CPU_Reset_N,CLK_IN,RESET);
input INP_12V_OK /*synthesis loc="901"*/; //exemplar attribute INP_12V_OK loc 901
input INP3V3_OK /*synthesis loc="903"*/; //exemplar attribute INP3V3_OK loc 903
input I_12V_OC /*synthesis loc="905"*/; //exemplar attribute I_12V_OC loc 905
input I_12V_Over_SOA_Limit /*synthesis loc="906"*/; //exemplar attribute I_
12V_Over_SOA_Limit loc 906
input BUS_3V3_OK /*synthesis loc="907"*/; //exemplar attribute BUS_3V3_OK loc 907
input BUS_3V3_Over_LTP /*synthesis loc="908"*/; //exemplar attribute BUS_3V3_Over_LTP loc
908
input BRD_3V3_OK /*synthesis loc="909"*/; //exemplar attribute BRD_3V3_OK loc 909
input BRD_3V3_Over_LTP /*synthesis loc="910"*/; //exemplar attribute BRD_3V3_Over_LTP loc
910
input Core_1V0_OK /*synthesis loc="911"*/; //exemplar attribute Core_1V0_OK loc 911
input Core_1V0_Over_LTP /*synthesis loc="912"*/; //exemplar attribute Core_1V0
_Over_LTP loc 912
input IO_1V8_OK /*synthesis loc="913"*/; //exemplar attribute IO_1V8_OK loc 913
For Help, press F1
```



About the Author

Srirama (“Shyam”) Chandra is a widely-published author and recognized authority on power management. He is the Product Marketing Manager for programmable mixed signal products at Lattice Semiconductor Corporation.

Prior to joining Lattice, Shyam worked for Vantis and AMD in sales and applications and previously was a telecom design engineer with Indian Telephone Industries. Shyam received his Masters degree in Electrical Engineering from the Indian Institute of Technology, Madras.

Shyam can be contacted at: power2you@latticesemi.com



latticesemi.com/power2you

