



ispMACH[®] 4000ZE - 使CPLD得以用于超大批量 、低功耗的应用领域

莱迪思半导体公司白皮书

2008年4月

Lattice Semiconductor
5555 Northeast Moore Ct.
Hillsboro, Oregon 97124 USA
电话: (503) 268-8000
www.latticesemi.com

导言	3
设计需要考虑的事项	3
ispMACH 4000ZE解决方案	3
采用电源监护功能实现低功耗.....	4
超小节省空间的封装.....	5
片上振荡器与定时器.....	6
可编程端接.....	7
输入迟滞.....	7
将快速上市与低成本结合在一起.....	7
结语	7
技术支持援助	8

导言

设计工程师所不断面临的挑战是开发新产品，并且要在特性和功能上，比其上一代产品以及竞争对手的产品有所改进。日益增加的对下一代产品的更小尺寸、更低功耗和更低成本的要求，使工程师本已很困难的工作又增加了难度。设计工程师们一直在寻找改进的解决方案，以满足针对消费类产品的低功耗、小尺寸、快速上市要求。本白皮书将讨论设计工程师在开发消费类电子产品时，所考虑的一些因素。下一步将讨论莱迪思半导体公司的零功耗复杂可编程逻辑器件（CPLD）ispMACH® 4000ZE系列是如何使CPLD得以用于超大批量、低功耗应用领域的。这一市场曾一度被专用集成电路（ASIC）和专用标准产品（ASSP）所主导。

设计需要考虑的事项

传统上，ASIC和ASSP是大批量、低功耗、成本敏感的消费类产品的最佳解决方案，而CPLD的使用只限于建模阶段。这些消费类产品的例子包括：移动电话、PDA、数码相机、摄像机、手持GPS设备、个人媒体播放器等。但是，由于最近CPLD技术的进步，使设计者有可能将可编程逻辑器件进行标准化，使之成为一个针对这些产品中各种随机逻辑和不同的编程功能的综合解决方案。工程师在针对一个新的设计来选择元件时，最重要的考虑因素是：功耗、产品上市时间、外形尺寸和元件成本。

ispMACH 4000ZE解决方案

为了在消费电子产品市场中竞争，CPLD生产商推出了零功耗的CPLD系列。零功耗意味着CPLD使用一些内部功能与核心逻辑，旨在大幅度降低器件在大多数应用中的功率要求。

莱迪思ispMACH 4000ZE系列中的一些新特点使之非常适用于超大批量、低功耗的应用。ispMACH 4000ZE系列的独特功能，是莱迪思原来的零功耗ispMACH 4000Z系列所不具备的。这些功能包括：每个引脚的电源监护（Power Guard）I/O控制、输入迟滞、一个片上振荡器和定时器，每个引脚的可编程端接和超小型节省空间的封装。所有这些新功能的详细说明如下。

采用电源监护功能实现低功耗

当设计一个手持电池供电系统时，设计人员将尽一切可能来降低功耗，增加电池寿命。工程师可以用许多方法来构造设计，以降低功耗。这些方法包括：降低时钟速度、增加总线端接、针对低电压工作进行设计以及限制总线负载。所有的这些设计方法在实施时，可以降低整体系统的功耗，延长电池的寿命。然而，即使采用了降低功耗的设计技术，用于手持电池供电设备的一个标准的可编程逻辑器件的功耗依然令人生畏。

将CPLD逻辑阵列与外部输入信号的变化断开是一种很好的方式，可以降低功耗，提高电池寿命。此功能被称为ispMACH 4000ZE系列中的电源监护功能，它使得当前的电流接近系统的待机电流。如图1所示，电源监护功能由I/O引脚和输入缓冲器之间的一个被使能的多路复用器，及其相关的器件内部的电路组成。如果使能信号（E）保持低电平，所有的输入（D）将被有选择地隔离（看护），例如，如果这些输入中的任何一个翻转，它不会引起内部引脚（Q）的任何翻转。换言之，I/O引脚上的信号变化不会产生任何内部动态功耗。

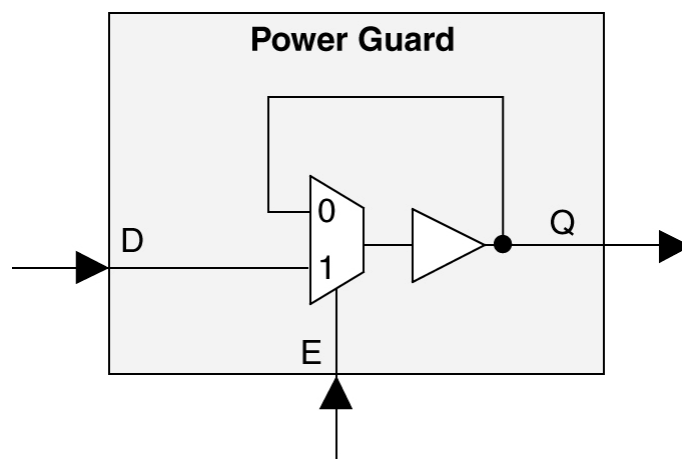


图1. 电源监护信号

ispMACH 4000ZE器件包含2至16个I/O块。在一个块中的所有I/O引脚共享一个电源监护使能信号。对于一个I/O块而言，这个信号被称为块输入使能（BIE）信号。可以利用逻辑在内部产生BIE，也可以通过一个用户I/O或输入引脚从外部输入。可以对块内任意数量的I/O引脚进行编程来屏蔽BIE信号。因此，该功能可以对每一个引脚单独启用或禁用。

以64个宏单元的ispMACH 4064ZE器件为例，除了两个有效输入之外，所有有效输入的电
源监护使能都被设置为有效。这将会使动态ICC大幅降低99%。在这个例子中的两个
输入，充分利用了器件所有64个宏单元的内部逻辑。动态电流从2.9 mA降至26 μ A，
如图2所示。

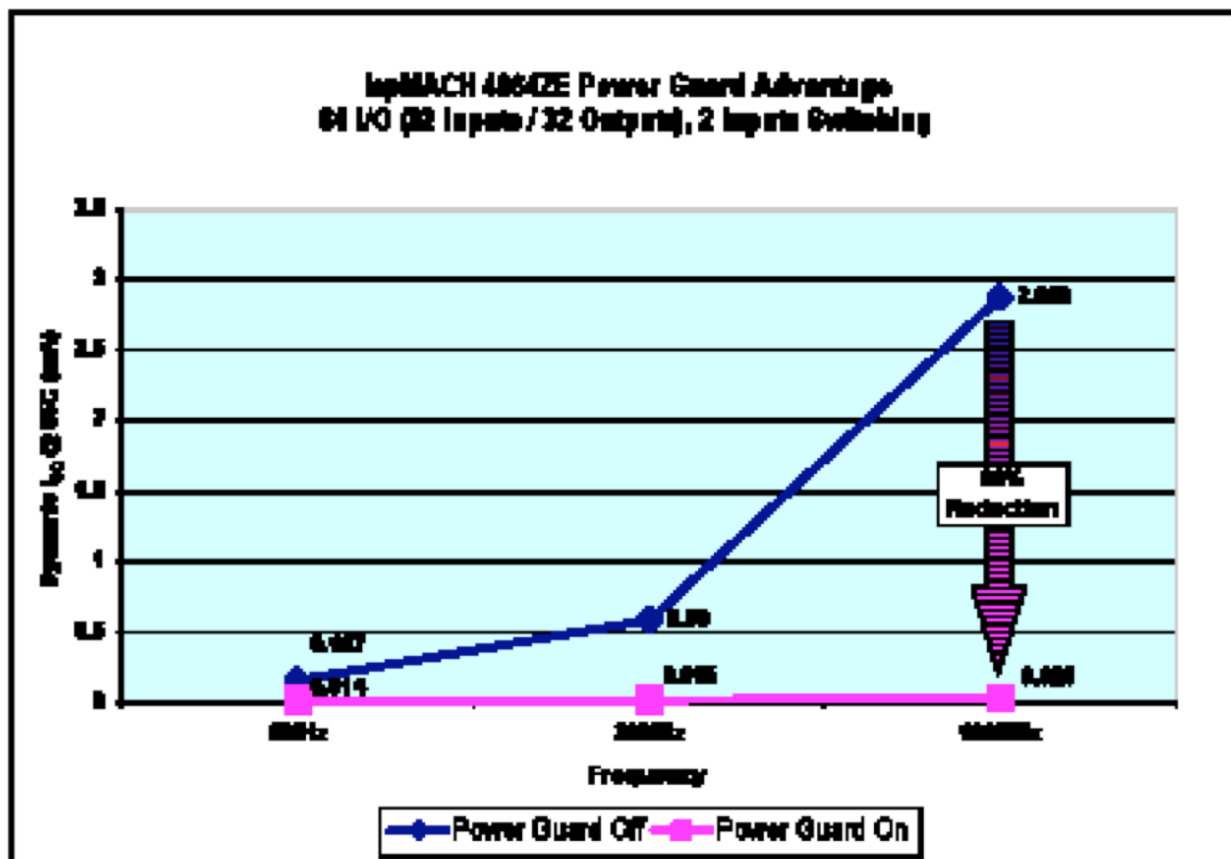


图2. 采用电源监护功能减小动态ICC

超小节省空间的封装

手持设备的每一代产品的发展趋势，都是将更多的产品功能集成到一个较小的电路板空间中。这是通过电路集成来完成的，而CPLD是解决方案的一个基本部分。CPLD可以迅速修正类似在ASSP和ASIC器件中出现的问题。它们还将分立逻辑解决方案和特殊功能一体化，例如：内存控制器、桥接接口、液晶/触摸屏接口、监控功能和电源管理。

随着终端产品变得越来越小，电路板空间正变得越来越宝贵。莱迪思提供了各种各样的低成本封装的ispMACH 4000ZE CPLD系列。其最小尺寸为5x5mm，I/O数量的范围

从36至112。可用的I/O引脚数与封装尺寸比例最高的是芯片尺寸BGA（csBGA）封装，如图3所示。64个宏单元的ispMACH 4064ZE在一个5x5mm csBGA封装中提供52个I/O引脚；256个宏单元的ispMACH 4256ZE在一个7x7mm csBGA封装中提供112个I/O引脚。

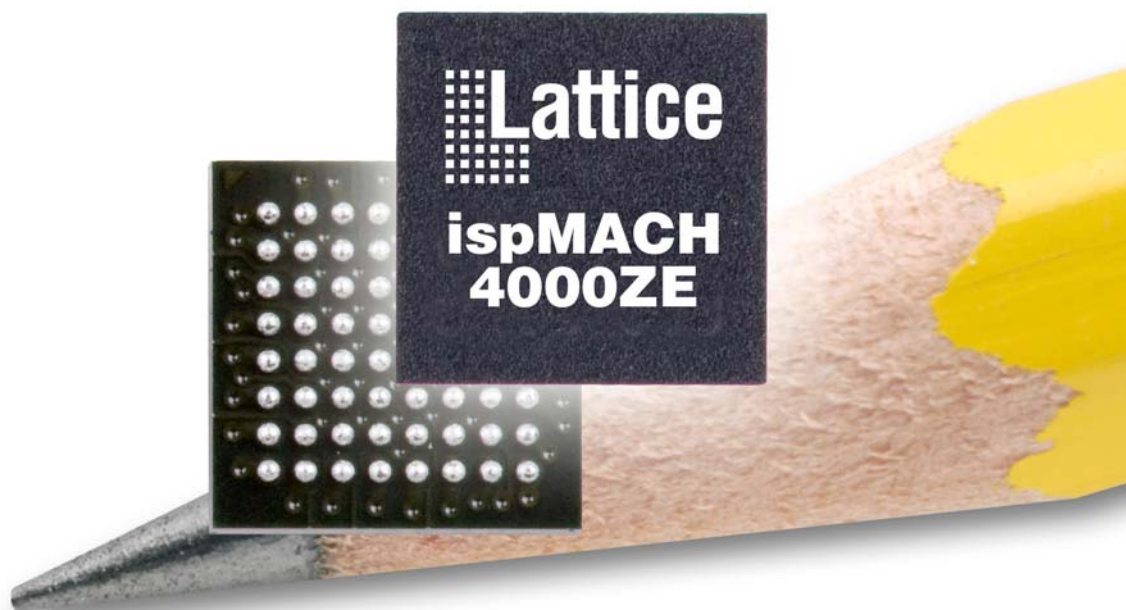


图3. 5x5mm的芯片尺寸BGA封装

片上振荡器与定时器

振荡器通常在系统中被用于上电定序、键盘扫描或显示控制器的应用。片上振荡器被集成在FPGA器件内，已经有好几代产品的历史了。为了有助于降低整体系统成本，片上振荡器近来被集成到高端的CPLD之中。CPLD的片上振荡器可用于日常功能，如：监护功能、数字去毛刺电路以及控制状态机。将振荡器集成在CPLD中，可以减少整个系统的器件数量，并削减一个专用振荡器芯片的成本。在不需要片上振荡器的设计中，该模块可以被停用，以避免消耗额外的功率。莱迪思ispMACH 4000ZE系列的每一个成员，包括最小的32宏单元的器件，都拥有一个片上振荡器和定时器。振荡器的标称频率为5 MHz，而振荡器的定时器输出可以通过配置，提供一个至低5 MHz的输出时钟频率。

可编程端接

大多数零功耗CPLD提供某种形式的可编程I/O端接，以降低由外部三态总线引起的I/O功耗。未经端接或浮动的输入会由于信号在高、低逻辑电平之间的变化，消耗过多的功率。可编程端接备选方案包括以下四种设置：总线保持锁存、上拉、下拉或没有端接。莱迪思的ispMACH 4000ZE系列提供了所有这四种选项，可以给每个输入引脚指定任何一种端接选项。硬件和软件都是这样默认的：当该器件被擦除或用户没有指定时，输入结构被配置成一个下拉电阻。

输入迟滞

当器件接收到缓慢变化的输入信号或其在嘈杂环境中工作的时候，输入迟滞改善了I/O的抗噪性。老的、效率相对较低的CPLD提供选项，以便启用或关闭输入迟滞功能，从而降低功耗或改善I/O的响应时间。最新的CPLD系列拥有非常高效的I/O单元和输入迟滞功能。其输入迟滞功能在3.3 V和2.5 V I/O标准的情况下，是始终启用的。对于ispMACH 4000ZE系列而言，在3.3 V和2.5 V I/O标准的情况下，针对每个输入的250 mV的输入迟滞功能是始终启用的。

将快速上市与低成本结合在一起

面对当今迅速变化的市场需求，快速上市已成为头等大事。用标准化CPLD来替代ASIC或ASSP可以显著地缩短从产品开发周期到其投放市场之间的时间。CPLD所需的从建模到最终生产之间的时间很短，而ASIC和ASSP则有一个漫长的开发时间。此外，ASIC和ASSP的开发需要耗费巨额的非重复性工程成本。对于10万片批量的订单，每片32个宏单元的ispMACH 4032ZE的售价约为0.70美元。ASIC和ASSP投资回报的吸引力正变得越来越小。

结语

消费者对新产品和改良产品的需求，将继续推动工程师们去寻找创新的设计解决方案。在原来的零功耗ispMACH 4000Z系列的基础上，新的ispMACH 4000ZE系列CPLD

增加了电源监护I/O控制、输入迟滞、一个片上振荡器、每个引脚的可编程端接以及更小的封装尺寸等特性，使CPLD能够真正地被用于超大批量、低功耗的应用领域。

技术支持援助

热线：1-800-LATTICE（北美）

+1-503-268-8001（北美以外）

电子邮箱：techsupport@latticesemi.com

因特网：www.latticesemi.com